НАУЧНО-ТЕХНИЧЕСКИЙ ЦЕНТР
ДЭЛС

СПЕЦИАЛИЗИРОВАННЫЕ МИКРОСХЕМЫ

КАТАЛОГ 2026

DON

ОФИЦИАЛЬНЫЙ ПРЕДСТАВИТЕЛЬ
НТЦ "ДЭЛС" В РОССИИ

ПРОДУКЦИЯ

1259МВ015 Детектор мощности....4
1259НВ014 Аналого-цифровой преобразователь (функциональный аналог 572ПВ1А)....5
1259ПН1У, 1259ПН1Н4 Схема сопряжения с P-I-N диодами....6
1259ПН2У, 1259ПН2Н4 Схема сопряжения с P-I-N диодами....8
1259УА015, 1259УА025 Прецизионные операционные усилители класса Rail-To-Rail по входу и выходу (функциональные аналоги OP184, OP284) 10
1259УА03Н4 Малошумящий операционный усилитель с низкими входными токами (функциональный аналог ADA4530-1)....11
1259УА045 Быстродействующий операционный усилитель (функциональный аналог AD509S)....12
1259УМ015 Логарифмический усилитель (функциональный аналог AD640)....13
1259УР015, 1259УР015А Малошумящие усилители промежуточной частоты (функциональные аналоги ADL5534)....15
3012КР014 Ключ с гальванической развязкой....16
5861АВ015 Восьмиразрядный шинный формирователь выходных уровней (функциональный аналог SN74LVC8T245, 5572ИН2А(Б)У)....17
5861АИ1У Формирователь временных интервалов с программируемыми параметрами....18
5861АИ2У Формирователь временных интервалов с программируемыми параметрами....20
5861АП1У Восьмиканальный буферный формирователь с цифровой фильтрацией импульсных помех....22
5861АП2У Восьмиканальный буферный формирователь с тремя состояниями на выходе....23
5861АП3Т Два четырехразрядных формирователя с инверсией и тремя состояниями на выходе (функциональный аналог 530АП3)....24
5861АП4Т Два четырехразрядных формирователя с тремя состояниями на выходе (функциональный аналог 530АП4) 25
5861АП16Т Шинный формирователь с тремя состояниями на выходе (функциональный аналог 585АП16) 26
5861АП26Т Шинный формирователь инвертирующий с тремя состояниями на выходе (функциональный аналог 585АП26) 27
5861ВК015 Контроллер последовательного интерфейса....28
5861ВК025 Контроллер последовательного интерфейса....29
5861ВК034 Контроллер параллельного интерфейса....30
5861ВТ2У Специализированный котроллер программирования памяти....31
5861ДФ1У Цифровой фазовый детектор....32
5861ДФ2У Цифровой фазовый детектор....34
5861ИП1Т Специализированный управляемый фазовращатель....36
5861ПЛ1У Цифровой синтезатор отсчетов....38
5862ПЛ1У Цифровой синтезатор отсчетов....40
5861ПР1Т Восьмиразрядный преобразователь последовательного кода в параллельный (функциональный аналог НСС4094)....42
5861ПЦ1У Делитель частоты с коэффициентом деления два....43
5861ПЦ2У Делитель частоты с коэффициентом деления пять....44
5861РР1Т Репрограммируемое постоянное запоминающее устройство с электрическим стиранием 16К бит (2Кх8)....45
5861РР2Т Энергонезависимое статическое оперативное запоминающее устройство (nvSRAM) 32К бит(4Кх8)....46
5861РР4У Репрограммируемое постоянное запоминающее устройство с электрическим перепрограммированием 128К бит (16Кх8/8Кх16)....48
5861ТВ01Н4 Схема управления элементами индикации четырехразрядного буквенно-цифрового матричного индикатора - аналога SCE5744....50
5861ТЛ2Т Шесть триггеров Шмитта (функциональный аналог НСС40106)....51
5862ИН1Н4 Специализированный контроллер манчестерского кода....52
5861ИП1Н4 Специализированный процессор порогово-логической обработки....54
5861ПФ1Н4 Трехканальный автокомпенсатор....56
5861ФП1Н4 Цифровой фильтр....58
5520АП1У Цифровой формирователь фаз....60
2ПЕ229АН5 МОП-транзистор с изолированным затвором....62

НОВЫЕ РАЗРАБОТКИ

Схема управления элементами индикации восьмиразрядного буквенно-цифрового матричного индикатора - аналога HDSP-2133.....64
Аналоговый мультиплексор (функциональный аналог AD8174).....65
Цифровой аттенюатор (функциональный аналог HMC470LP3).....66
Аналоговый ключ (функциональный аналог ADG901/902).....67
Частотно-фазовый детектор.....68
Делители частоты с коэффициентом деления два.....69
Делители частоты с коэффициентом деления три.....70
Делители частоты с коэффициентом деления пять.....71
Делитель частоты с программируемым коэффициентом деления.....72
Преобразователи гармонического сигнала в уровни ТТЛ.....73

ДЕТЕКТОР МОЩНОСТИ (ФУНКЦИОНАЛЬНЫЙ АНАЛОГ AD8361)

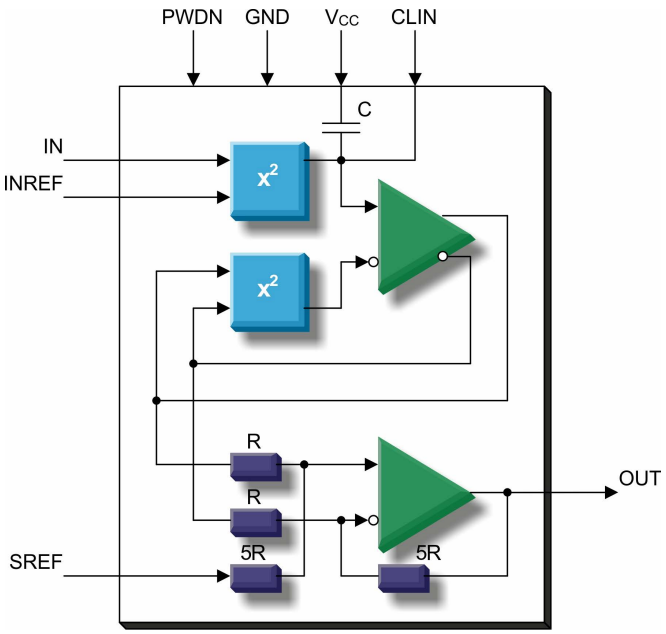
ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

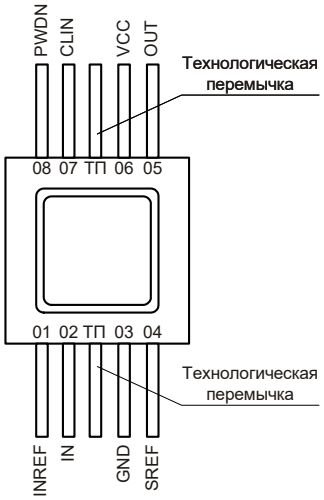
Максимальная частота входного сигнала, МГц..... 80
Максимальная амплитуда
входного сигнала, В.....не более 1,3
Время нарастания выходного напряжения
до уровня 2,5 В, мкс.....не более 5
Ток потребления, мА.....не более 40
Напряжение питания, В .....+5±10%
Температурный диапазон, °С.....от -60 до +125
Тип корпуса.....H02.8-2B
Технологический процесс .....биполярный

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение выводов
IN	Вход сигнала прямой
INREF	Вход сигнала инверсный
PWDN	Вход сигнала выключения
SREF	Вход напряжения смещения
CLIN	Вывод для подключения внешнего конденсатора
OUT	Выход

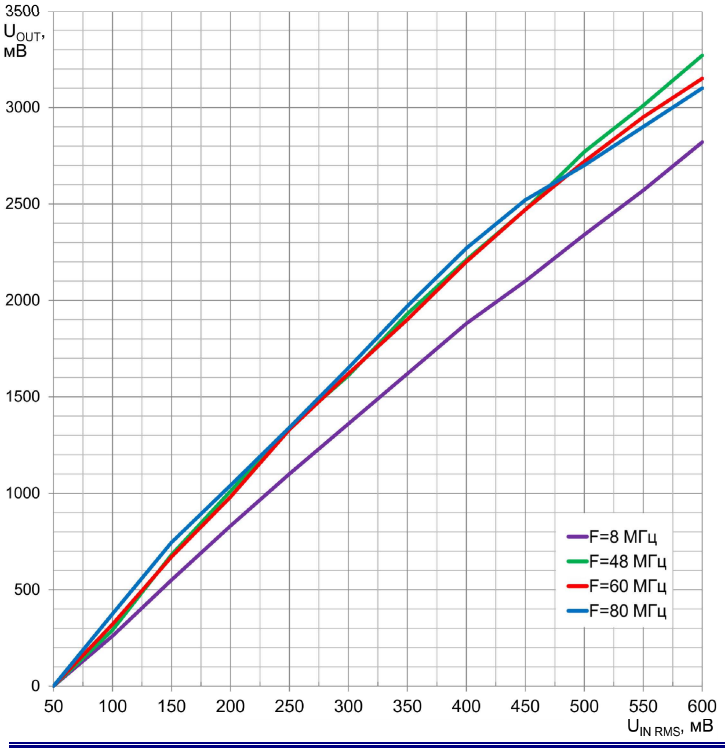
СТРУКТУРНАЯ СХЕМА



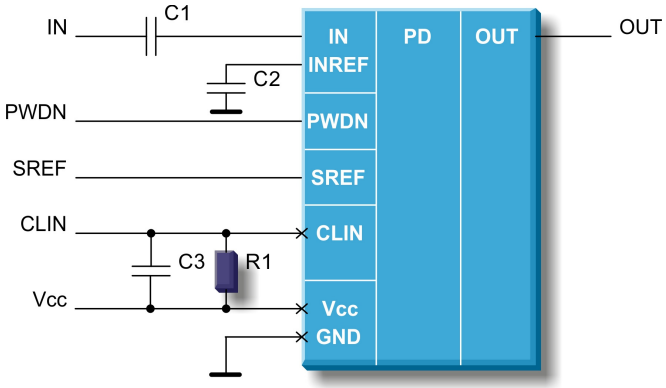


ТП – технологические перемычки.

ПЕРЕДАТОЧНАЯ ХАРАКТЕРИСТИКА (U_{SREF} = 0)



ТИПОВАЯ СХЕМА ВКЛЮЧЕНИЯ



Микросхема представляет собой детектор мощности для периодических сигналов произвольной формы.

Напряжение на выходе микросхемы пропорционально среднеквадратичному значению напряжения входного сигнала и формируется в соответствии с выражением:

$$U_{OUT} = 6 \cdot U_{I\ RMS} + U_{SREF}$$

где

$U_{I\ RMS}$ – среднеквадратичное значение напряжения на дифференциальных входах IN, INREF;

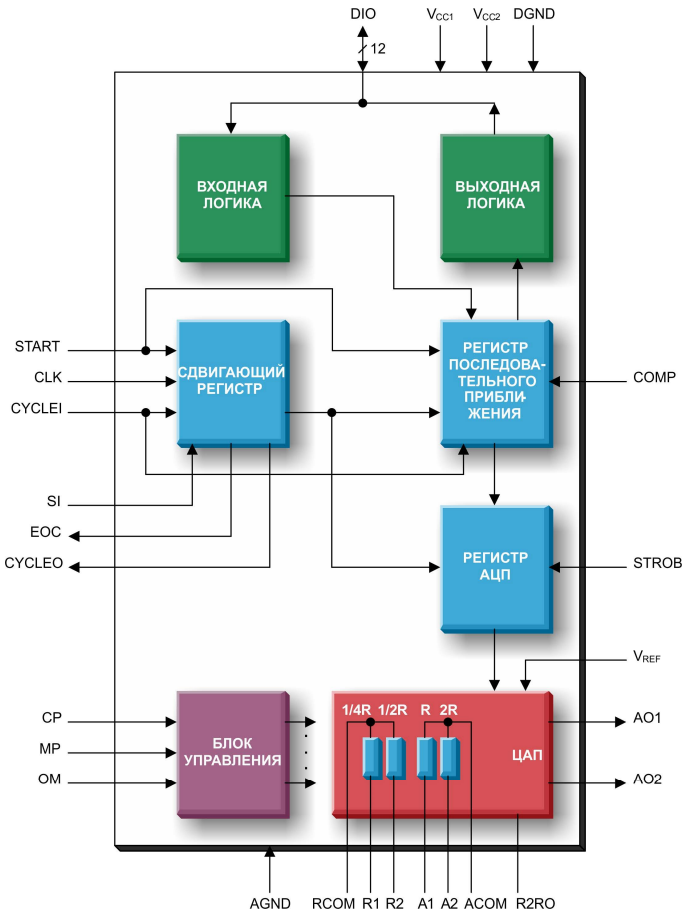
U_{SREF} – напряжение смещения на входе SREF.

АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ (ФУНКЦИОНАЛЬНЫЙ АНАЛОГ 572ПВ1А)

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Выходное напряжение высокого уровня, В.....не менее 2,4
Выходное напряжение низкого уровня, В.....не более 0,3
Выходной ток смещения нуля, мкА.....не более 200
Ток потребления, мА.....не более 40
Дифференциальная нелинейность, ед. МЗР.не более |±1|
Нелинейность, ед. МЗР.....не более |±1|
Абсолютная погрешность преобразования
в конечной точке шкалы, ед. МЗР.....не более |±14|
Максимальная тактовая частота, кГц.....не менее 200
Напряжения питания, В
U_{CC1}.....5,0 В ±5%
U_{CC2}.....15,0 В ±5%
Температурный диапазон, °С.....от -60 до +85
Тип корпуса.....4134.48-5
Технологический процесс .....КМОП

СТРУКТУРНАЯ СХЕМА

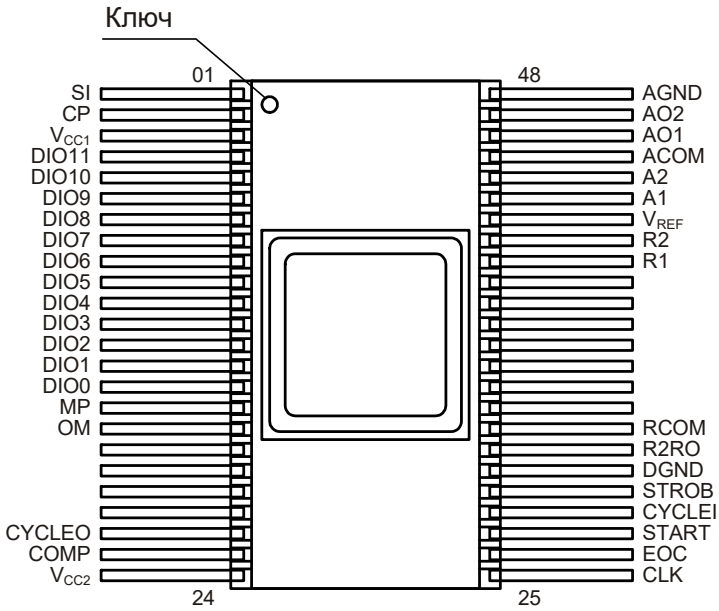


Микросхема представляет собой 12-разрядный преобразователь и может быть использована в качестве:

- АЦП последовательного приближения с внешним компаратором (компаратором и операционным усилителем) и выдачей результата в параллельном коде;
- умножающего ЦАП с внешним операционным усилителем.

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение выводов
DIO	Входная/выходная шина данных
SI	Последовательный вход
CP	Вход управления
MP	Вход управления
OM	Вход управления режимом
CYCLEO	Выход «Цикл»
COMP	Вход сравнения
CLK	Вход тактовых импульсов
EOC	Выход «Конец преобразования»
START	Вход «Запуск»
CYCLEI	Вход «Цикл»
STROB	Вход стробирования ЦАП
R2RO	Конечный вывод матрицы R-2R
RCOM	Общий вывод резисторов 1, 2
V_{REF}	Вход опорного напряжения
A1	Аналоговый вход 1
A2	Аналоговый вход 2
ACOM	Общий вывод резисторов аналоговых входов 1, 2
AO1	Аналоговый выход 1
AO2	Аналоговый выход 2
V_{CC1}	Вывод питания от источника напряжения +5 В
V_{CC2}	Вывод питания от источника напряжения +15 В
DGND	Общий вывод цифровой
AGND	Общий вывод аналоговый



Микросхема обеспечивает возможность побайтного ввода-вывода информации для согласования с восьмиразрядной шиной данных

СХЕМА СОПРЯЖЕНИЯ С P-I-N ДИОДАМИ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для преобразования уровней ТТЛ в двухполярное напряжение и может выполнять функцию устройства сопряжения с p-i-n диодами.

Входное напряжение низкого уровня, В……не более 0.8
Входное напряжение высокого уровня, В…….не менее 2.4
Выходное напряжение низкого уровня, В……..-4
Выходное напряжение высокого уровня, В……4
Выходной ток низкого уровня, мА*……..…30
Выходной ток высокого уровня, мА*……-30
Время задержки распространения
при включении (выключении) t_{PLH} (t_{PHL}), нс**…..……250
Время нарастания (спада) сигнала, t_r(t_f) нс**……70
Напряжения питания, В
V_{CC1}……+5 ± 10%
V_{CC2}……-5 ± 10%
Температурный диапазон, °С……...от -60 до +125
Тип корпуса……..H16.48-1B
Микросхема может также поставляться в бескорпусном исполнении.

* Возможно объединение до 5 выводов с увеличением общего выходного тока до 150 мА.
** Для длительностей фронтов входного сигнала t_{LH} = = $t_{HL} \leq 20$ нс.

Микросхема содержит 9 элементов тип А и 8 элементов тип В.

Элемент тип А

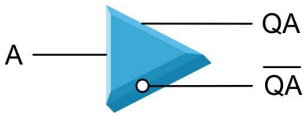


Таблица истинности элементов тип А

Вход	Выходы	
A	QA	$\overline{QA}$
H	L (логическая единица)	H (логический ноль)
L	H (логический ноль)	L (логическая единица)

Элемент тип В

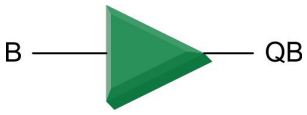
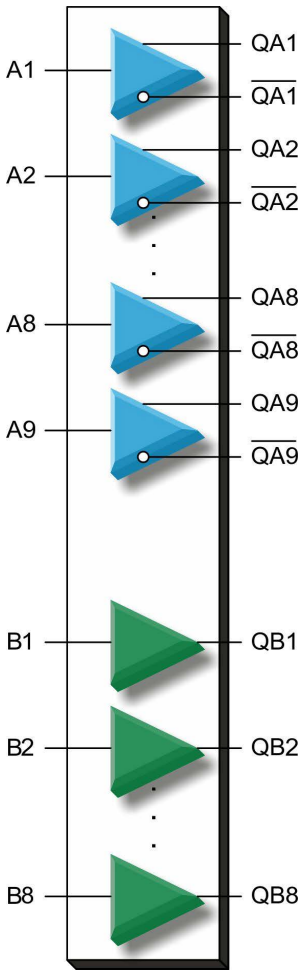


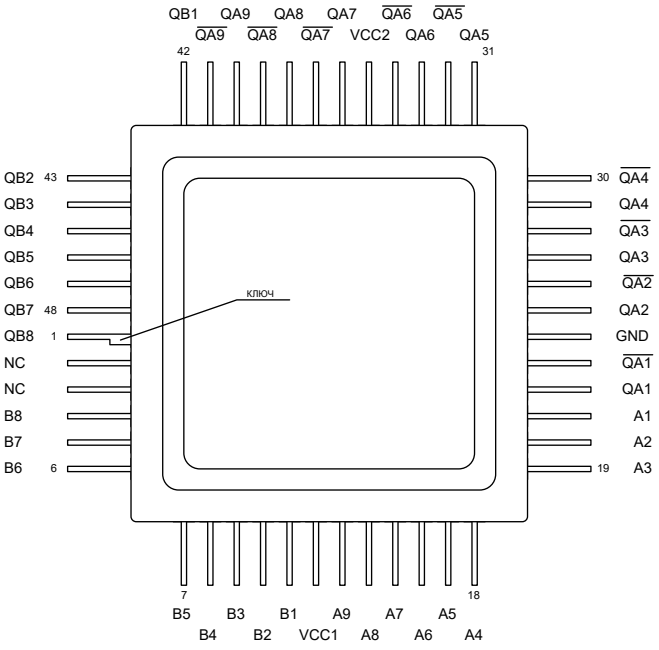
Таблица истинности элементов тип В

Вход	Выход
B	QB
H	L (логическая единица)
L	H (логический ноль)

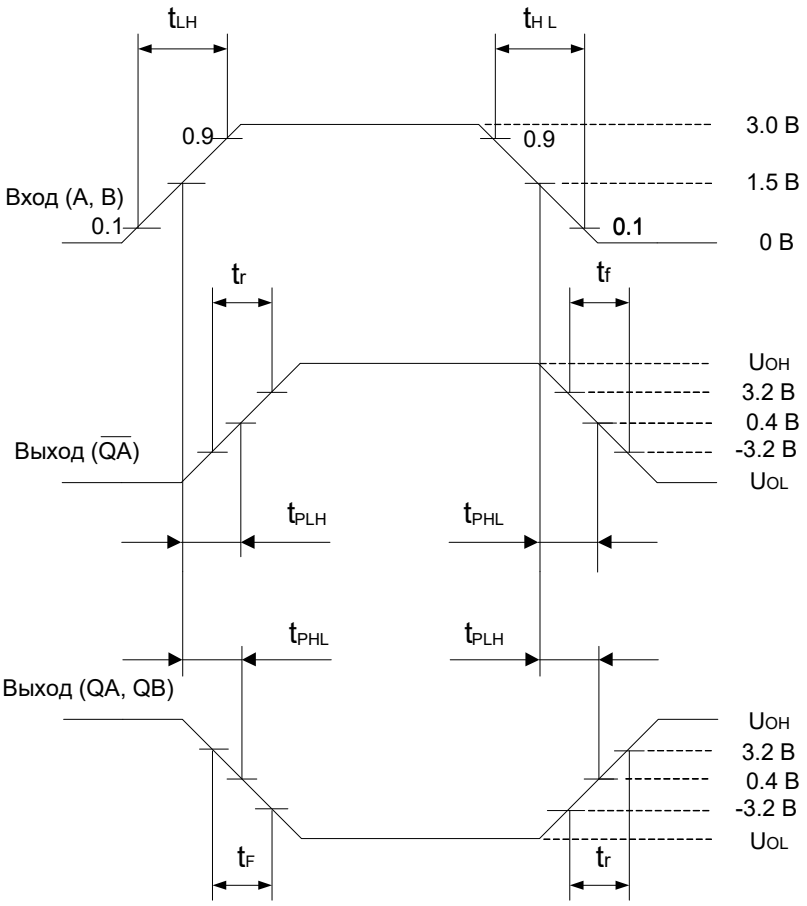
СТРУКТУРНАЯ СХЕМА



НАЗНАЧЕНИЕ ВЫВОДОВ



ВРЕМЕННАЯ ДИАГРАММА ФУНКЦИОНИРОВАНИЯ МИКРОСХЕМЫ



t_{PLH} (t_{PHL}) – время задержки распространения при включении (выключении);
t_r(t_f) – время нарастания (спада) сигнала.

СХЕМА СОПРЯЖЕНИЯ С P-I-N ДИОДАМИ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для преобразования уровней ТТЛ в двухполярное напряжение и может выполнять функцию устройства сопряжения с p-i-n диодами.

Входное напряжение низкого уровня, В……не более 0.8
Входное напряжение высокого уровня, В…….не менее 2.4
Выходное напряжение низкого уровня, В……..-4
Выходное напряжение высокого уровня, В……4
Выходной ток низкого уровня, мА*……..…30
Выходной ток высокого уровня, мА*……-30
Время задержки распространения
при включении (выключении) t_{PLH} (t_{PHL}), нс**……250
Время нарастания (спада) сигнала, t_r(t_f) нс**……70
Напряжения питания, В

V_{CC1}……+5 ± 10%

V_{CC2}……-5 ± 10%

Температурный диапазон, °С……..от -60 до +125
Тип корпуса……H16.48-1B
Микросхема может также поставляться в бескорпусном исполнении.

* Возможно объединение до 5 выводов с увеличением общего выходного тока до 150 мА.
** Для длительностей фронтов входного сигнала t_{LH} = = $t_{HL} \leq 20$ нс.

Микросхема содержит 9 элементов тип А и 12 элементов тип В.

Элемент тип А

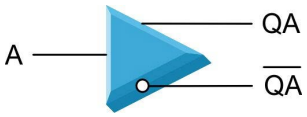


Таблица истинности элементов тип А

Вход	Выходы	
A	QA	$\overline{QA}$
H	L (логическая единица)	H (логический ноль)
L	H (логический ноль)	L (логическая единица)

Элемент тип В

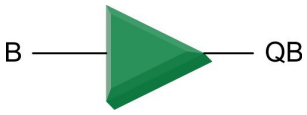
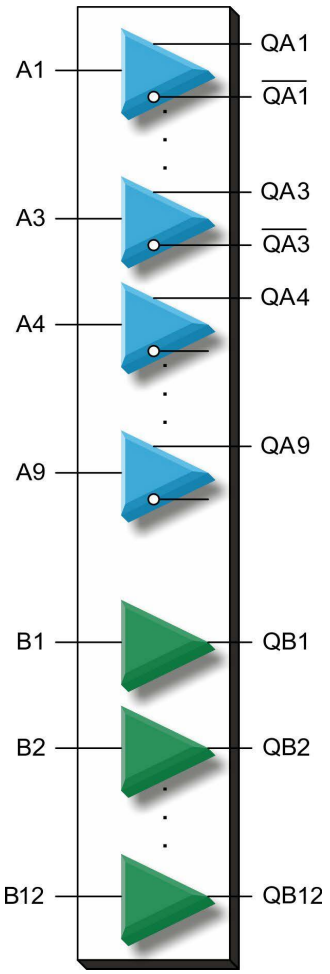


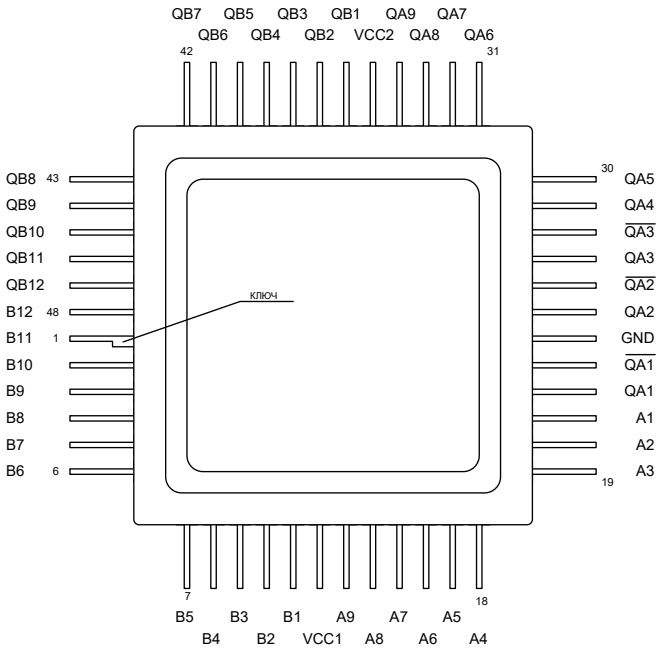
Таблица истинности элементов тип В

Вход	Выход
B	QB
H	L (логическая единица)
L	H (логический ноль)

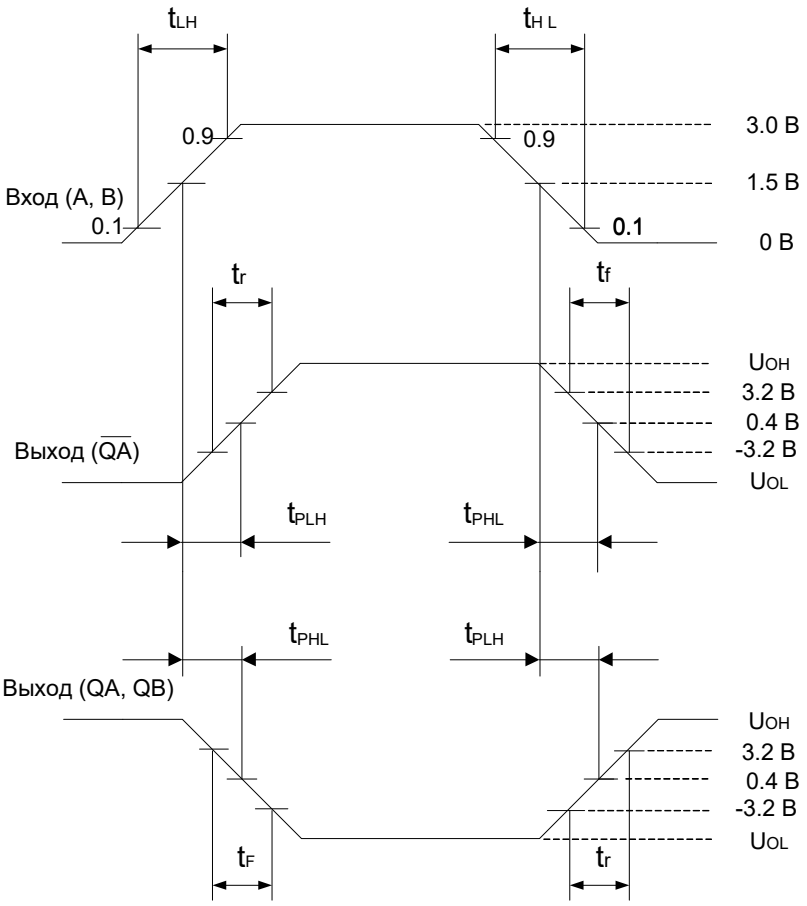
СТРУКТУРНАЯ СХЕМА



НАЗНАЧЕНИЕ ВЫВОДОВ



ВРЕМЕННАЯ ДИАГРАММА ФУНКЦИОНИРОВАНИЯ МИКРОСХЕМЫ



t_{PLH} (t_{PHL}) – время задержки распространения при включении (выключении);
t_r(t_f) – время нарастания (спада) сигнала.

ПРЕЦИЗИОННЫЕ ОПЕРАЦИОННЫЕ УСИЛИТЕЛИ КЛАССА RAIL-TO-RAIL ПО ВХОДУ И ВЫХОДУ (ФУНКЦИОНАЛЬНЫЕ АНАЛОГИ OP184, OP284)

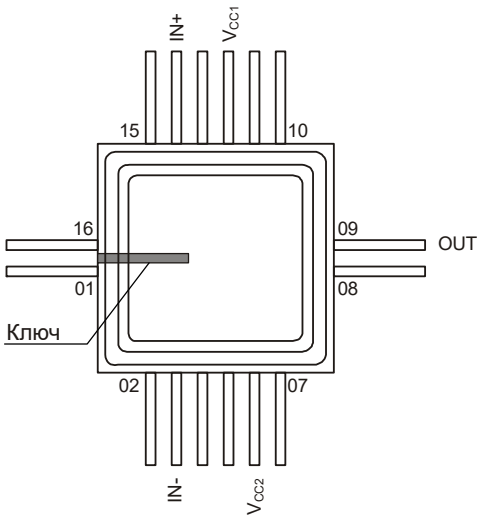
ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Напряжение смещения нуля, мВ.....не более 0,45
Максимальное выходное напряжение, В.....не менее 13,6
Ток потребления (два канала), мА.....не более 4,5
Средний входной ток, нА.....не более | ±600 |
Разность входных токов, нА.....не более | ±100 |
Частота единичного усиления, МГц.....не менее 1,8
Максимальная скорость нарастания
выходного напряжения, В/мкс.....не менее 1,4
Коэффициент усиления напряжения.....не менее $7,5 \cdot 10^4$
Температурный коэффициент
напряжения смещения нуля, мкВ/°С.....не более 2,75
Коэффициент влияния нестабильности
источников питания
на напряжения смещения нуля, мкВ/В.....не более 31,6
Коэффициент ослабления синфазных
входных помех, дБ.....не менее 86
Температурный коэффициент
напряжения смещения нуля, мкВ/°С.....не более 2,75
Напряжения питания, В
U_{CC1}.....от 2,5 до 16,5
U_{CC2}..... от -2,5 до -16,5
Температурный диапазон, °С.....от -60 до +125
Тип корпуса.....H04.16-1B
Технологический процесс .....биполярный

НАЗНАЧЕНИЕ ВЫВОДОВ

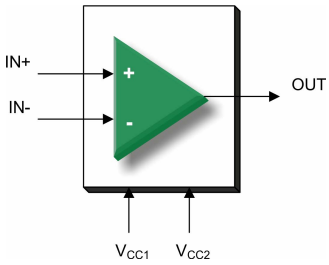
Обозначение	Назначение выводов
IN+	Вход сигнала прямой
IN-	Вход сигнала инверсный
OUT	Выход сигнала

1259УА015

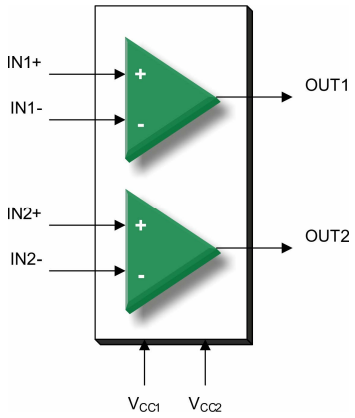


СТРУКТУРНАЯ СХЕМА

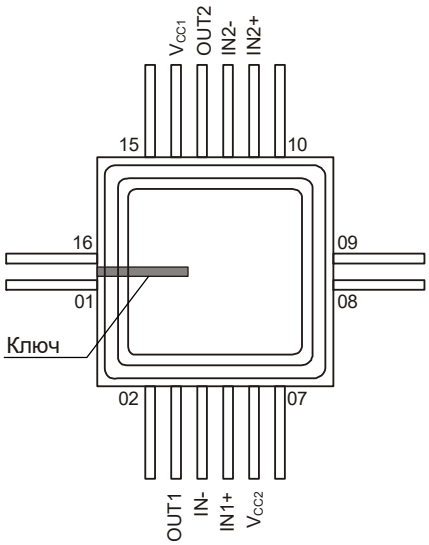
1259УА015



1259УА025



1259УА025



МАЛОШУМЯЩИЙ ОПЕРАЦИОННЫЙ УСИЛИТЕЛЬ С НИЗКИМИ ВХОДНЫМИ ТОКАМИ (ФУНКЦИОНАЛЬНЫЙ АНАЛОГ ADA4530-1)

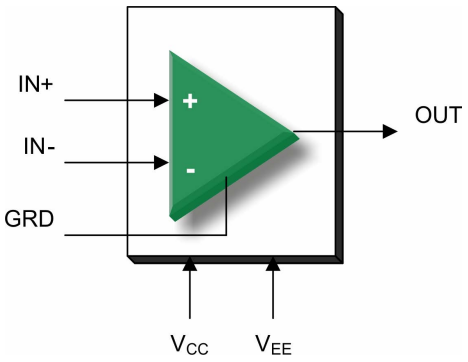
ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Напряжение смещения нуля, мВ.....от -15 до 15
Выходное напряжение высокого уровня, В.....не менее 7,1
Выходное напряжение низкого уровня, В.... не менее | -7,1 |
Входной ток, пА.....от -1 до 1
Нормированная э.д.с. шума
на частоте 500 Гц, нВ/√Гц.....не более 30
Коэффициент усиления напряжения, дБ.....не менее 75
Коэффициент ослабления синфазного
входного напряжения, дБ.....не менее 65
Частота единичного усиления, МГц.....не менее 2
Ток короткого замыкания выхода, мА.....от | ±10 | до | ±30 |
Напряжение смещения между входом IN+
и выходом GRD, мВ.....от -7 до 7
Частота уменьшения коэффициента усиления
буфера до уровня 0,7.....не менее 7
Подъем коэффициента усиления буфера.....не более 1,05
Ток потребления, мА.....не более 2
Ёмкость неинвертирующего входа IN+
к цепям питания, пФ.....не более 8
Напряжения питания, В
U_{CC}.....7,5 В ±10%
U_{EE}.....-7,5 В ±10%
Температурный диапазон, °С.....от -60 до +85
Тип корпуса.....бескорпусная
Технологический процесс .....КМОП

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение контактных площадок
IN+	Вход сигнала прямой
IN-	Вход сигнала инверсный
OUT	Выход сигнала
GRD	Вывод для защитных цепочек входов
V_{CC}	Вывод питания от источника напряжения +7,5 В
V_{EE}	Вывод питания от источника напряжения -7,5 В

СТРУКТУРНАЯ СХЕМА



БЫСТРОДЕЙСТВУЮЩИЙ ПРЕЦИЗИОННЫЙ ОПЕРАЦИОННЫЙ УСИЛИТЕЛЬ (ФУНКЦИОНАЛЬНЫЙ АНАЛОГ AD509S)

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Напряжение смещения нуля, мВ…….....от -7 до 7

Выходное напряжение высокого уровня, В...не менее 9

Выходное напряжение низкого уровня, В ...не менее |-9|

Входной ток, нА ..... от -200 до 200

Разность входных токов, нА ……..……..……..от -20 до 20

Коэффициент усиления напряжения
(R_L = 50 Ом), дБ …….....не менее 70

Коэффициент влияния нестабильности источников питания
на напряжение смещения нуля, дБ ..... не менее 80

Коэффициент ослабления
синфазного входного напряжения, дБ.....не менее 80

Скорость нарастания
выходного напряжения, В/мкс.....не менее 80

Выходной ток высокого уровня, мА.....…не менее 8

Выходной ток низкого уровня, мА.....не менее |-8|

Ток короткого замыкания выхода, мА .. от |±15| до |±30|

Ток потребления, мА ..... не более 7

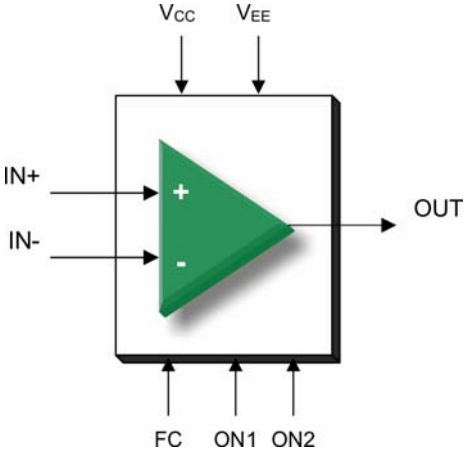
Напряжение питания
положительной полярности U_{CC}, В..... от 4,5 до 15,5
отрицательной полярности U_{EE}, В..от |-4,5| до |-15,5|

Температурный диапазон, °С……..от -60 до +125

Тип корпуса.....……..…..…..H04.16-1B

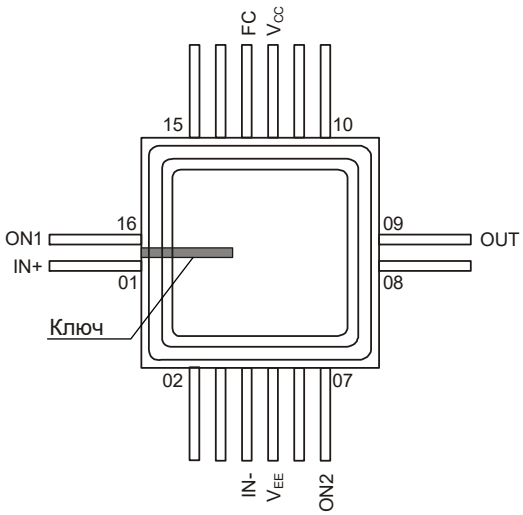
Технологический процесс .....биполярный

СТРУКТУРНАЯ СХЕМА



НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение контактных площадок
IN+	Вход сигнала прямой
IN-	Вход сигнала инверсный
OUT	Выход сигнала
FC	Вывод частотной компенсации
ON1	Вывод регулировки смещения нуля первый
ON2	Вывод регулировки смещения нуля второй



ЛОГАРИФМИЧЕСКИЙ УСИЛИТЕЛЬ (ФУНКЦИОНАЛЬНЫЙ АНАЛОГ AD640)

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Общие

Напряжение питания
положительной полярности U_{CC}, В .....+5,0 В -10/+20%
отрицательной полярности U_{EE}, В .....-5,0 В -10/+20%
Температурный диапазон, °С……..……...от -60 до +125
Технологический процесс…….....биполярный
Тип корпуса…… …….....H04.16-1B

Логарифмический выход

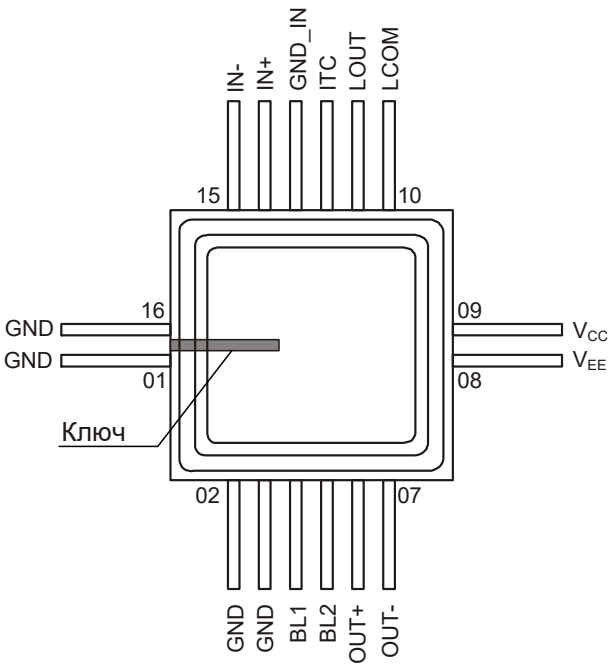
Передаточная характеристика..... $I_O = I_Y \cdot \log\left|\frac{U_I}{U_X}\right|$
Коэффициент преобразования I_Y, мкА/дБ .....от 47 до 53
Опорное напряжение U_X, мВ.....от 0,85 до 1,15
Максимальный выходной ток, мА.....от 2,15 до 2,45
Приведенная к входу погрешность
передаточной характеристики, дБ 3
Время нарастания (спада)
импульса тока на выходе, нс.....10

Усилитель-ограничитель

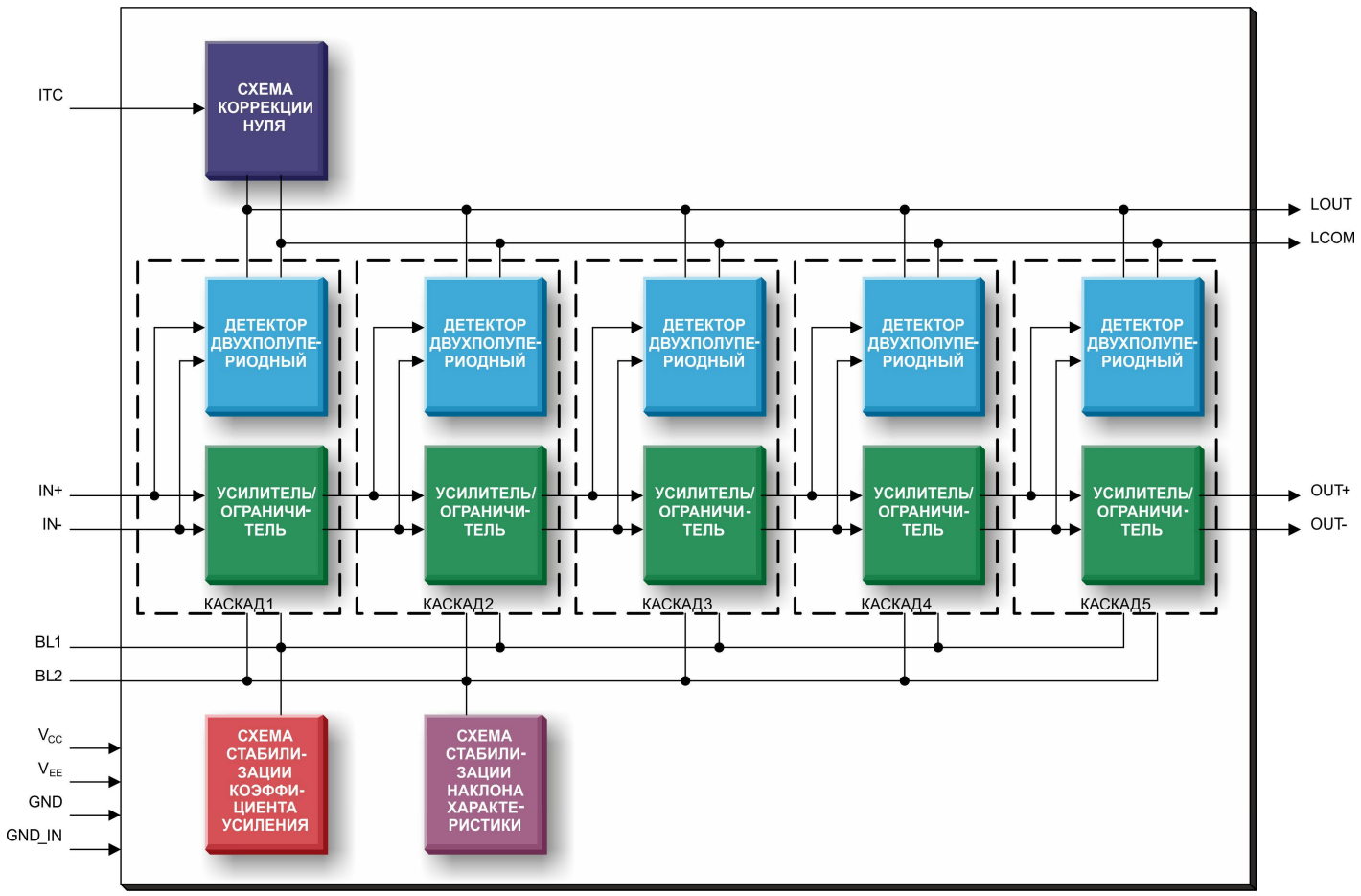
Входное сопротивление, кОм.....50
Напряжение смещения нуля, мкВ 300
Входной ток, мкА.....30
Синфазные входные напряжения, В ……....от -2 до 0,3
Верхняя граничная частота полосы
пропускания по уровню 3 дБ, МГц.....100
Коэффициент усиления, дБ .....от 47 до 53
Выходное сопротивление
по каждому выходу, Ом.....от 68 до 82
Максимальное дифференциальное
выходное напряжение, мВ 150
Тангенциальная чувствительность
в полосе 100 МГц, мкВ 150
Ток потребления
от источника напряжения U_{CC}, мА 15
от источника напряжения U_{EE}, мА 60

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение выводов
IN+	Вход сигнала прямой
IN-	Вход сигнала инверсный
ITC	Вход сигнала коррекции нуля
BL1	Вывод для подключения внешнего конденсатора
BL2	Вывод для подключения внешнего конденсатора
OUT+	Выход сигнала прямой
OUT-	Выход сигнала инверсный
LOUT	Выход логарифмический сигнальный
LCOM	Выход логарифмический общий
V_{CC}	Вывод питания от источника напряжения +5 В
V_{EE}	Вывод питания от источника напряжения -5 В
GND	Общий вывод
GND_IN	Общий вывод для входных каскадов



СТРУКТУРНАЯ СХЕМА

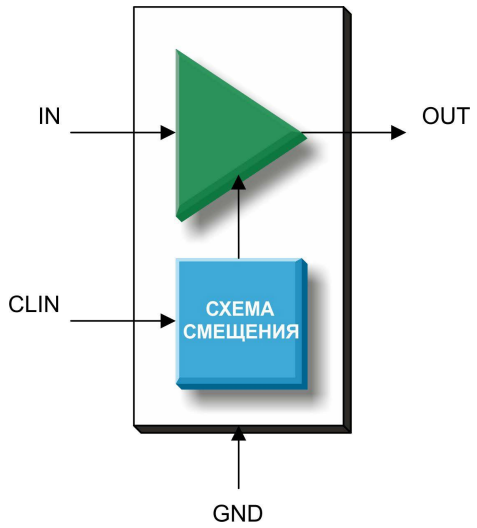


МАЛОШУМЯЩИЙ УСИЛИТЕЛЬ ПРОМЕЖУТОЧНОЙ ЧАСТОТЫ (ФУНКЦИОНАЛЬНЫЙ АНАЛОГ ADL5534)

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

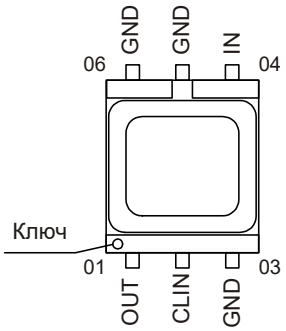
Диапазон рабочих частот, МГц……..от 5 до 70
Коэффициент усиления по мощности, дБ
1259УР015.....от 8 до 14
1259УР015А.....от 18 до 27
Коэффициент шума, дБ.....не более 3,5
Точка компрессии 1 порядка
по выходу, дБм.....не менее 18
Точка компрессии 3 порядка
по выходу, дБм.....не менее 38
Ток потребления, мА.....не более 100
Напряжение питания, В ……..+5±10%
Температурный диапазон, °С……...от -60 до +125
Тип корпуса…… ……..…....5221.6-1
Технологический процесс .....биполярный

СТРУКТУРНАЯ СХЕМА



НАЗНАЧЕНИЕ ВЫВОДОВ

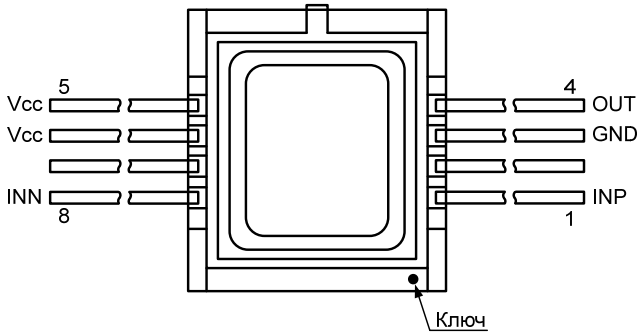
Обозначение	Назначение выводов
IN	Вход сигнала
OUT	Выход сигнала
CLIN	Вывод для подключения внешнего конденсатора



КЛЮЧ С ГАЛЬВАНИЧЕСКОЙ РАЗВЯЗКОЙ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Входное напряжение, В.....от 1,1 до 1,6
Выходное напряжение
во включенном состоянии, В.....не менее U_{CC} - 2
Ток утечки на выходе
в выключенном состоянии, мкА.....не более 10
Выходной ток постоянный, А.....не менее 0,2
Выходной ток импульсный ($t_И$ = 1 мс), А .....не менее 12
Напряжение питания, В.....от 24 до 36
Температурный диапазон, °С.....от -60 до +125
Тип корпуса.....4112.8-1

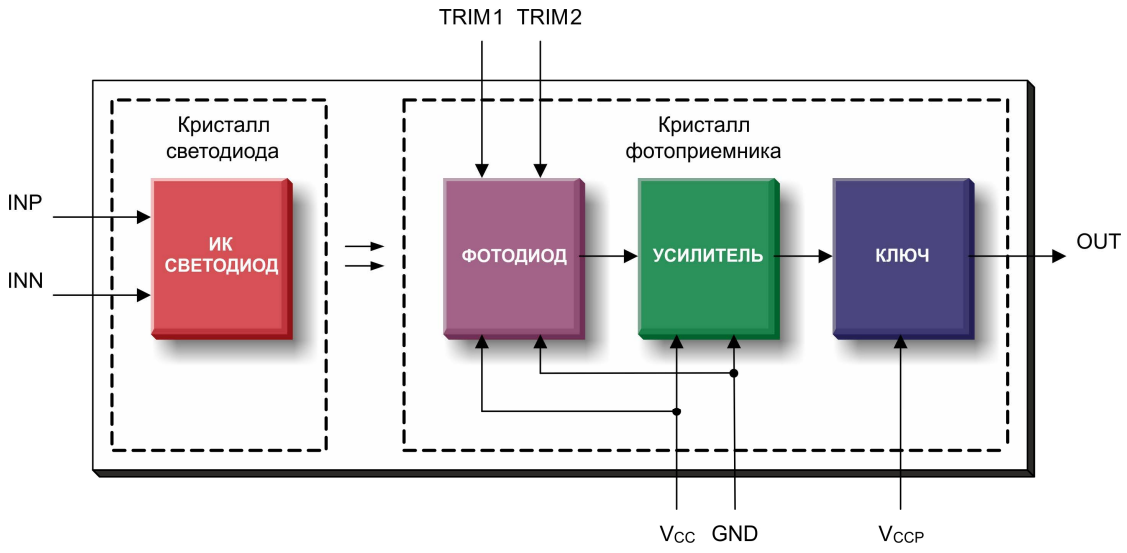


НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение контактных площадок
INP	Положительный вывод светодиода
INN	Отрицательный вывод светодиода
OUT	Выход
TRIM1	Вход сигнала настройки чувствительности первый
TRIM2	Вход сигнала настройки чувствительности второй
V_{CC}	Вывод питания от источника напряжения
V_{CCP}	Вывод питания от источника напряжения силовой
GND	Общий вывод

Примечания.
1. Выводы TRIM1 и TRIM1 остаются свободными либо подключаются к источнику питания.
2. Выводы V_{CC} и V_{CCP} сделаны раздельными с целью повышения помехоустойчивости схемы. Выводы V_{CC} и V_{CCP} соединяются на плате и подключаются к одному источнику питания.

СТРУКТУРНАЯ СХЕМА



ВОСЬМИРАЗРЯДНЫЙ ШИННЫЙ ФОРМИРОВАТЕЛЬ ВЫХОДНЫХ УРОВНЕЙ (ФУНКЦИОНАЛЬНЫЙ АНАЛОГ SN74LVC8T245, 5572ИН2А(Б)У)

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для сопряжения интерфейсных шин, имеющих разные уровни питающих напряжений.

Выходное напряжение высокого уровня портов A и B, В
- U_{CC} = 1,65 – 1,95 В ..... не менее 1,2
- U_{CC} = 2,25 – 2,75 В ..... не менее 1,9
- U_{CC} = 3,0 – 3,6 В ..... не менее 2,4
- U_{CC} = 4,5 – 5,5 В ..... не менее 3,8

Выходное напряжение низкого уровня портов A и B, В
- U_{CC} = 1,65 – 1,95 В ..... не более 0,45
- U_{CC} = 2,25 – 2,75 В ..... не более 0,4
- U_{CC} = 3,0 – 3,6 В ..... не более 0,55
- U_{CC} = 4,5 – 5,5 В ..... не более 0,55

Выходной ток высокого уровня портов A и B, мА
- U_{CC} = 1,65 – 1,95 В ..... не менее -4
- U_{CC} = 2,25 – 2,75 В ..... не менее -8
- U_{CC} = 3,0 – 3,6 В ..... не менее -16
- U_{CC} = 4,5 – 5,5 В ..... не менее -24

Выходной ток низкого уровня портов A и B, мА
- U_{CC} = 1,65 – 1,95 В ..... не более 4
- U_{CC} = 2,25 – 2,75 В ..... не более 8
- U_{CC} = 3,0 – 3,6 В ..... не более 16
- U_{CC} = 4,5 – 5,5 В ..... не более 24

Время распространения входного сигнала порта A или B, нс
- U_{CCI} = 1,65 – 1,95 В, U_{CCO} = 1,65 – 5,5 В ..... не более 45
- U_{CCI} = 2,25 – 2,75 В, U_{CCO} = 1,65 – 5,5 В ..... не более 40
- U_{CCI} = 3,0 – 3,6 В, U_{CCO} = 1,65 – 5,5 В ..... не более 35
- U_{CCI} = 4,5 – 5,5 В, U_{CCO} = 1,65 – 5,5 В ..... не более 30

Время распространения входного сигнала по сигналу OE, нс
- U_{CCI} = 1,65 – 1,95 В, U_{CCO} = 1,65 – 5,5 В ..... не более 50
- U_{CCI} = 2,25 – 2,75 В, U_{CCO} = 1,65 – 5,5 В ..... не более 45
- U_{CCI} = 3,0 – 3,6 В, U_{CCO} = 1,65 – 5,5 В ..... не более 40
- U_{CCI} = 4,5 – 5,5 В, U_{CCO} = 1,65 – 5,5 В ..... не более 35

Напряжение питания, В .....от 1,65 до 5,5

Температурный диапазон, °С.....от -60 до +125

Тип корпуса H06.24-1B

Технологический процесс ..... КМОП

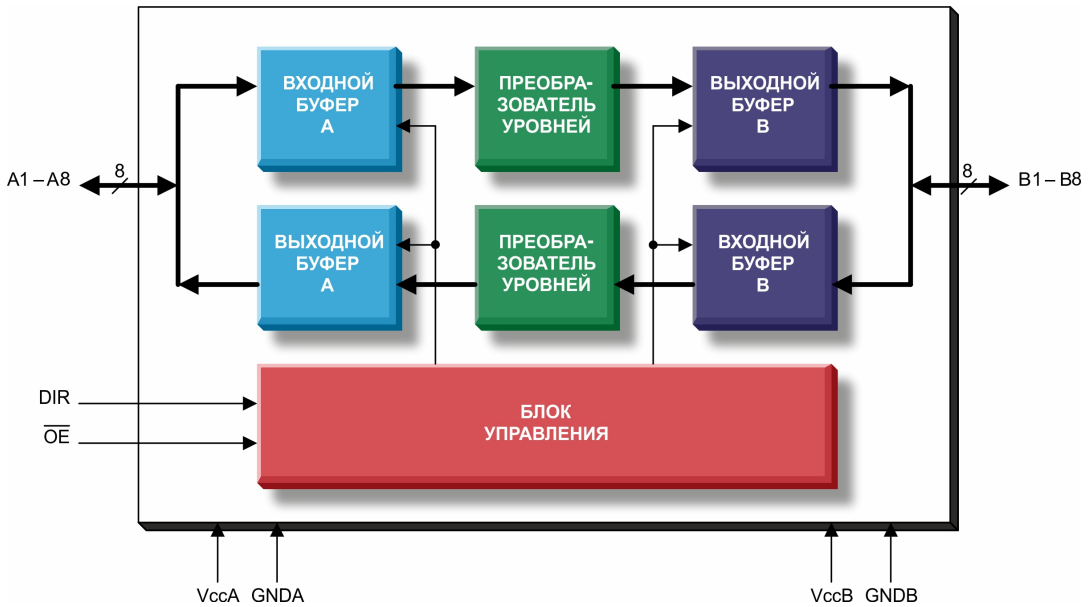
НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение выводов
A1 – A8	Входы/выходы порта A
B1 – B8	Входы/выходы порта B
DIR	Вход сигнала управления направлением распространения сигнала
$\overline{OE}$	Вход сигнала разрешения работы портов

ТАБЛИЦА ФУНКЦИОНИРОВАНИЯ

Сигналы управления		Порты		
$\overline{OE}$	DIR	порт A	порт B	
L	L	Выходные данные	Входные данные	Передача данных из порта B в порт A
L	H	Входные данные	Выходные данные	Передача данных из порта A в порт B
H	X	Z	Z	Выключен

СТРУКТУРНАЯ СХЕМА



ФОРМИРОВАТЕЛЬ ВРЕМЕННЫХ ИНТЕРВАЛОВ С ПРОГРАММИРУЕМЫМИ ПАРАМЕТРАМИ

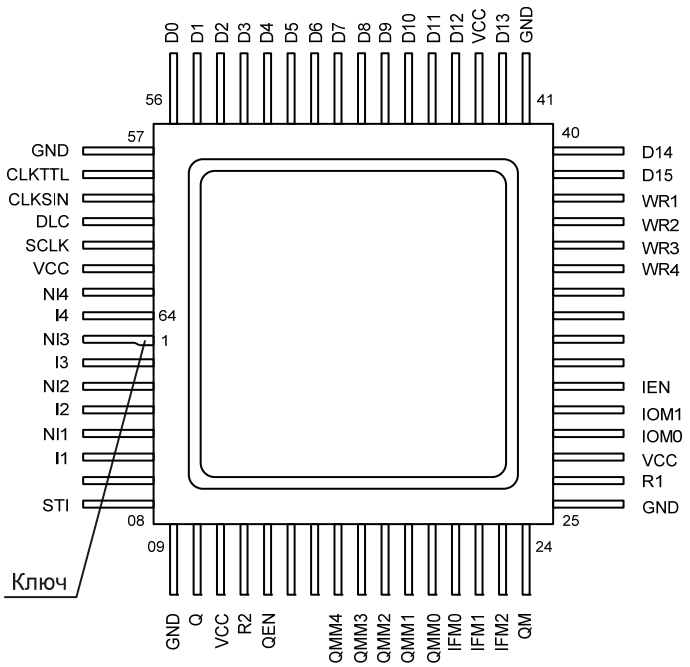
ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для формирования импульсных последовательностей с программируемыми параметрами.

Максимальная частота
сигнала синхронизации, МГц……..90
Минимальная амплитуда аналогового
сигнала на входе CLKSIN, мВ……..……...300
Напряжение питания, В……+5±10%
Температурный диапазон, °С……...от -60 до +125
Тип корпуса……...H18.64-1B

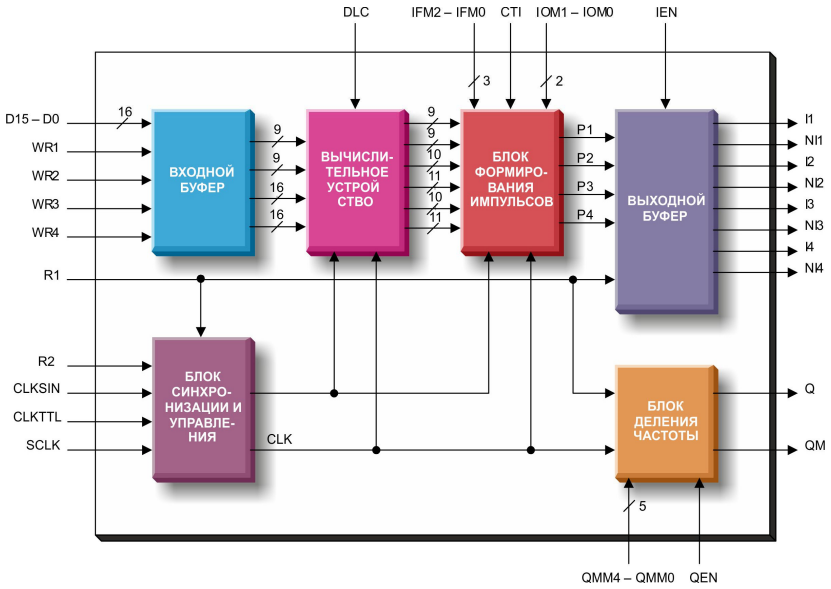
Микросхема изготавливается по КМОП технологии и имеет ТТЛ-совместимые входы и выходы.

НАЗНАЧЕНИЕ ВЫВОДОВ



Обозначение	Назначение
D	Входная шина данных
WR1	Вход сигнала записи первого слова данных
WR2	Вход сигнала записи второго слова данных
WR3	Вход сигнала записи третьего слова данных
WR4	Вход сигнала записи четвертого слова данных
STI	Вход стартового сигнала
DLC	Вход сигнала управления темпом вычислений
IOM	Входная шина кода управления последовательностями I1 – I4
IFM	Входная шина кода управления скважностью последовательностей I1 – I4
IEN	Вход сигнала разрешения выдачи последовательностей I1 – I4
QMM	Входная шина кода коэффициента деления последовательности QM
QEN	Вход сигнала разрешения выдачи последовательности на выход Q
CLKTTL	Вход сигнала синхронизации цифровой
CLKSIN	Вход сигнала синхронизации аналоговый
SCLK	Вход сигнала выбора источника синхронизации
R1	Вход асинхронного сброса
R2	Вход асинхронного сброса
I1	Выход последовательности I1 прямой
NI1	Выход последовательности I1 инверсный
I2	Выход последовательности I2 прямой
NI2	Выход последовательности I2 инверсный
I3	Выход последовательности I3 прямой
NI3	Выход последовательности I3 инверсный
I4	Выход последовательности I4 прямой
NI4	Выход последовательности I4 инверсный
Q	Выход последовательности Q
QM	Выход последовательности QM

СТРУКТУРНАЯ СХЕМА



ФУНКЦИОНИРОВАНИЕ МИКРОСХЕМЫ

Синхронизация работы микросхемы может осуществляться по цифровому входу CLKTTL или по аналоговому входу CLKSIN, на который подается синусоидальный сигнал с амплитудой не менее 0,3 В.

Выбор входа синхронизации осуществляется при помощи сигнала SCLK (SCLK=0 – вход CLKTTL, SCLK=1 – вход CLKSIN).

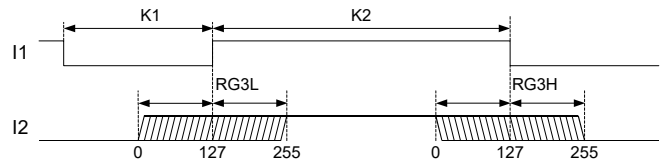
Из входных сигналов синхронизации вырабатывается внутренний синхросигнал CLK, который непосредственно подается на блоки микросхемы.

На входную шину D микросхемы подаются данные, определяющие параметры импульсов последовательностей I1 – I4.

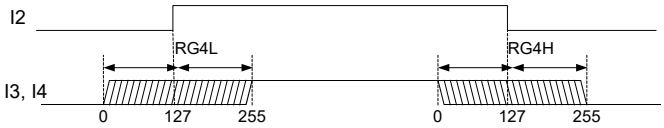
Входной буфер содержит девятиразрядные регистры RG1, RG2 и шестнадцатиразрядные регистры RG3, RG4. Запись данных в регистры осуществляется по положительному фронту соответствующего сигнала записи WR1 – WR4.

Структура входных данных

Регистр	Разряды слов входных данных (шина D)															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RG1								Код длительности «нулевой» части импульсов последовательности I1 (K1)								
								8	7	6	5	4	3	2	1	0
RG2								Код длительности «единичной» части импульсов последовательности I1 (K2)								
								8	7	6	5	4	3	2	1	0
RG3	Код сдвига заднего фронта импульсов последовательности I2 относительно импульсов последовательности I1 (RG3H)								Код сдвига переднего фронта импульсов последовательности I2 относительно импульсов последовательности I1 (RG3L)							
	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
RG4	Код сдвига заднего фронта импульсов последовательностей I3, I4 относительно импульсов последовательности I2 (RG4H)								Код сдвига переднего фронта импульсов последовательностей I3, I4 относительно импульсов последовательности I2 (RG4L)							
	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0



Порядок формирования импульсов последовательностей I1 и I2



Порядок формирования импульсов последовательностей I3 и I4

Сдвиг фронтов импульсов осуществляется с шагом, равным периоду повторения синхросигнала CLK.

Вычислительное устройство выполняет расчет вспомогательных величин, которые непосредственно используются для формирования последовательностей I1 – I4. Вычисления инициируются при записи новых данных в любой из регистров RG1 – RG4 входного буфера.

Цикл вычислений составляет 9 тактов синхросигнала CLK при значении DLC=0 и 29 тактов синхросигнала CLK при значении DLC=1.

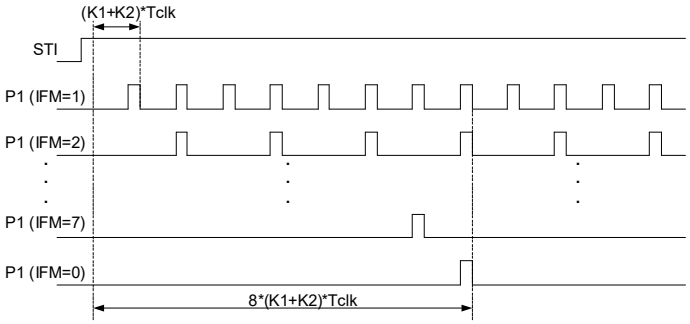
Блок формирования импульсов предназначен для формирования импульсов положительной полярности P1 – P4 в соответствии с величинами, рассчитанными в вычислительном устройстве и кодом управления IOM:

Вход	Выходы			
IOM	P1	P2	P3	P4
00	⎍	⎍	⎍	⎍
01	0	1	1	0
10	0	1	0	0
11	0	0	0	0

Формирование импульсов осуществляется при подаче на вход STI положительного импульса длительностью не менее одного периода синхросигнала CLK.

При подаче на вход STI единичного импульса на выходах P1 – P4 блока будут сформированы также единичные импульсы. При подаче на вход STI сигнала логической единицы на выходах P1 – P4 блока будут сформированы непрерывные последовательности импульсов.

Импульсы могут быть выданы на выходы блока с задержкой, определяемой кодом, подаваемым на входную шину IFM. Тем самым имеется возможность изменения скважности выходных последовательностей:



Выходной буфер формирует из импульсов P1 – P4 парафазные сигналы I1, NI1 – I4, NI4.

Сигналы IEN и R1 осуществляют управление выдачей последовательностей на выходы I1, NI1 – I4, NI4:

Входы		Выходы							
R1	IEN	I1	NI1	I2	NI2	I3	NI3	I4	NI4
0	X	0	1	1	0	1	0	1	0
1	0	0	1	0	1	0	1	0	1
1	1	P1	$\overline{P1}$	P2	$\overline{P2}$	P3	$\overline{P3}$	P4	$\overline{P4}$

X - безразличное состояние на входе.

Блок деления частоты формирует из синхросигнала CLK последовательности Q и QM.

При значении R=0 на выходах Q и QM формируются сигналы логического нуля.

При значении R=1 на выходе Q формируется последовательность с частотой $f_{CLK}/2$ и скважностью 2.

Сигнал QEN предназначен для блокировки выдачи сигнала на выход Q (при QEN=0 на выходе Q формируется сигнал логического нуля).

При значении R=1 на выходе QM формируется последовательность, параметры которой (частота повторения импульсов f и скважность q) определяются кодом, подаваемым на входную шину QMM:

QMM	QM	
	f	q
00000	0	0
00001	0	0
00010	$f_{CLK}/2$	2
00011	$f_{CLK}/3$	3
00100	$f_{CLK}/4$	2
00101	$f_{CLK}/5$	5/2
00110	$f_{CLK}/6$	2
00111	$f_{CLK}/7$	7/3
01000	$f_{CLK}/8$	2
01001	$f_{CLK}/9$	9/4
01010	$f_{CLK}/10$	10/4
01011	$f_{CLK}/11$	11/4
01100	$f_{CLK}/12$	3
01101	$f_{CLK}/13$	13/4
01110	$f_{CLK}/14$	14/4
01111	$f_{CLK}/15$	15/4

QMM	QM	
	f	q
10000	$f_{CLK}/16$	4
10001	$f_{CLK}/17$	17/4
10010	$f_{CLK}/18$	18/4
10011	$f_{CLK}/19$	19/4
10100	$f_{CLK}/20$	5
10101	$f_{CLK}/21$	21/4
10110	$f_{CLK}/22$	22/4
10111	$f_{CLK}/23$	23/4
11000	$f_{CLK}/24$	6
11001	$f_{CLK}/25$	25/4
11010	$f_{CLK}/26$	26/4
11011	$f_{CLK}/27$	27/4
11100	$f_{CLK}/28$	7
11101	$f_{CLK}/29$	29/4
11110	$f_{CLK}/30$	30/4
11111	$f_{CLK}/31$	31/4

ФОРМИРОВАТЕЛЬ ВРЕМЕННЫХ ИНТЕРВАЛОВ С ПРОГРАММИРУЕМЫМИ ПАРАМЕТРАМИ

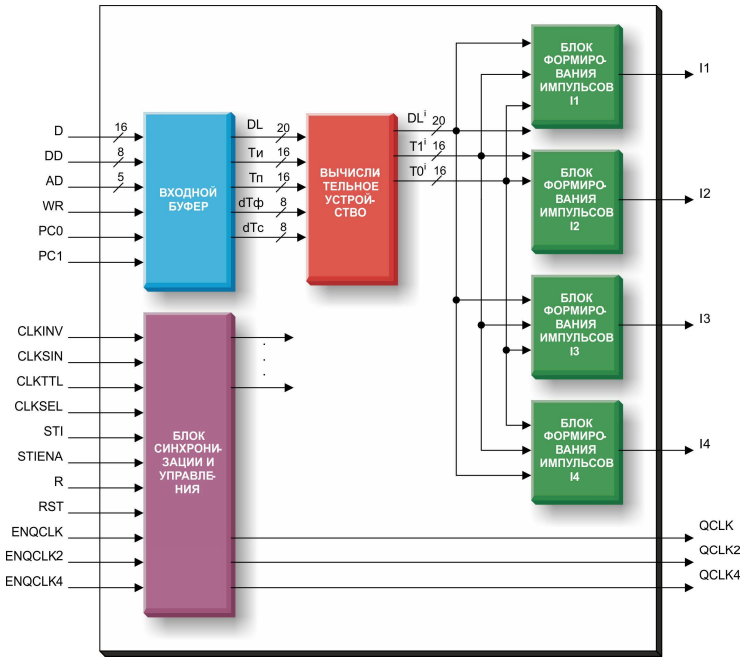
ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для формирования импульсных последовательностей с программируемыми параметрами.

Среднеквадратичное значение напряжения
по входу CLKSIN, В 0,3
Частота аналогового сигнала
на входе CLKSIN, МГц.....96
Частота следования импульсов тактовых сигналов
на входе CLKTTL, МГц.....96
Напряжение питания, В.....+5±10%
Температурный диапазон, °С.....от -60 до +125
Тип корпуса.....H18.64-1B

Микросхема изготавливается по КМОП технологии и имеет ТТЛ-совместимые входы и выходы.

СТРУКТУРНАЯ СХЕМА



ФУНКЦИОНИРОВАНИЕ МИКРОСХЕМЫ

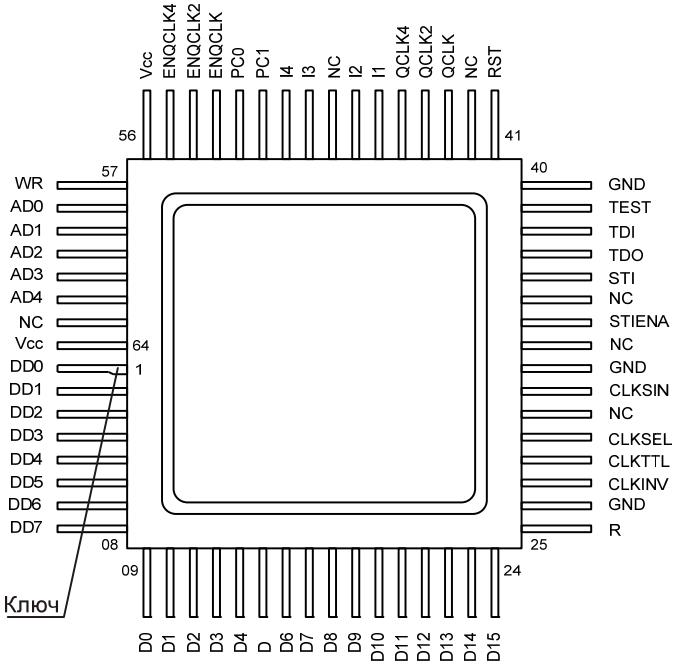
Синхронизация работы микросхемы может осуществляться по цифровому входу CLKTTL или по аналоговому входу CLKSIN. Выбор входа синхронизации осуществляется при помощи сигнала CLKSEL.

Из входных сигналов синхронизации вырабатывается внутренний синхросигнал CLK, который непосредственно подается на блоки микросхемы.

Синхросигнал CLK выдается на выход QCLK микросхемы. На выходы QCLK2 и QCLK4 микросхемы выдается синхросигнал CLK, поделенный на два и на четыре, соответственно. Выдача синхросигналов QCLK, QCLK2 и QCLK4 осуществляется при наличии разрешающих значений управляющих сигналов на входах ENQCLK, ENQCLK2 и ENQCLK4 соответственно.

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение
D	Входная шина данных D
DD	Входная шина данных DD
AD	Входная шина адреса
PC	Входная шина кода выбора микросхемы
CLKSIN	Вход сигнала синхронизации аналоговый
CLKTTL	Вход сигнала синхронизации цифровой прямой
CLKSEL	Вход сигнала выбора источника синхронизации
CLKINV	Вход сигнала управления инверсией сигнала синхронизации
STI	Вход сигнала инициализации
STIENA	Вход сигнала разрешения инициализации
ENQCLK	Вход разрешения выдачи сигнала QCLK
ENQCLK2	Вход разрешения выдачи сигнала QCLK2
ENQCLK4	Вход разрешения выдачи сигнала QCLK4
WR	Вход сигнала управления записью данных
RST	Вход сигнала сброса
R	Вход сигнала прекращения формирования непрерывных последовательностей
TEST	Вход сигнала включения тестового режима
TDI	Вход тестовых данных в последовательном коде
TDO	Выход тестовых данных в последовательном коде
I1	Выход последовательности I1
I2	Выход последовательности I2
I3	Выход последовательности I3
I4	Выход последовательности I4
QCLK	Выход сигнала синхронизации
QCLK2	Выход сигнала синхронизации, поделенного на 2
QCLK4	Выход сигнала синхронизации, поделенного на 4



Входной буфер предназначен для приема и хранения данных, поступающих на входные шины D и DD.

Поступающие данные определяют параметры последовательностей I1 – I4.

На входную шину D последовательно подаются данные, определяющие параметры «опорной» последовательности I4:

DL (20 бит) – начальная задержка последовательности;

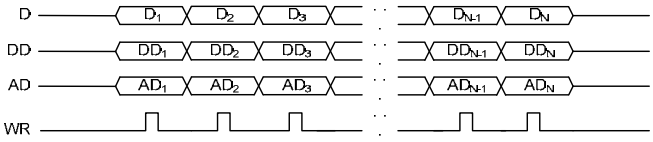
Ти (16 бит) – длительность импульса;

Тп (16 бит) – период повторения импульсов.

На входную шину DD последовательно подаются восьмиразрядные данные, определяющие сдвиг фронтов (dTф) и спадов (dTc) импульсов последовательностей I1 – I3 относительно фронтов и спадов импульсов «опорной» последовательности I4.

Старший (седьмой) разряд величин сдвигов является знаковым разрядом, что позволяет формировать фронты (спады) импульсов последовательностей I1 – I3 как с задержкой, так и с опережением относительно фронтов (спадов) импульсов «опорной» последовательности I4

Поступающие на входные шины D и DD данные сопровождаются импульсами записи WR и пятиразрядными адресами записи AD.



Два старших разряда адреса записи AD(4:3) используются для адресации передаваемых данных микросхеме с соответствующим кодом PC. В микросхеме производится сравнение кодов AD(4:3) и P(1:0). При совпадении кодов поступающие данные записываются во входной буфер микросхемы. Если коды не совпадают, то данные игнорируются.

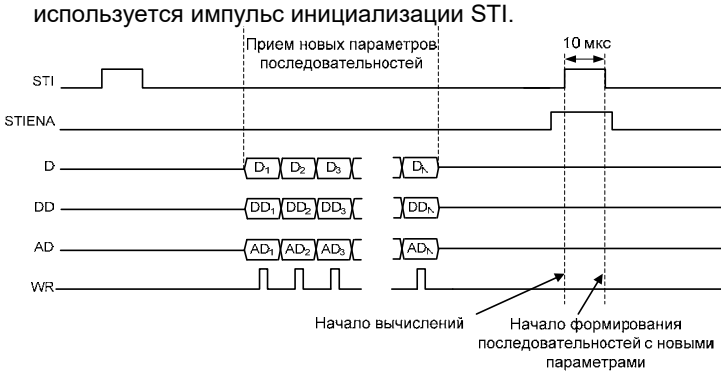
Вычислительное устройство предназначено для расчета на основе принятых данных величин, непосредственно используемых для формирования последовательностей I1 – I4.

Вычисления выполняются последовательно для каждого из каналов I1 – I4, после чего вычисленные результаты переписываются в рабочие регистры соответствующих блоков формирования импульсов.

Блоки формирования импульсов содержат счетчики, на выходе которых непосредственно формируются последовательности I1 – I4.

Работа выходных триггеров блоков формирования импульсов может быть синхронизирована либо прямым, либо инвертированным внутренним синхросигналом CLK., что позволяет формировать последовательности I1 – I4 со сдвигом, равным половине периода синхросигнала CLK. Выбор режима синхронизации выходных триггеров осуществляется при помощи сигнала CLKINV.

Для **организации функционирования** микросхемы используется импульс инициализации STI.



Временная диаграмма функционирования микросхемы

С приходом положительного фронта импульса STI в микросхеме производится выдача хранящихся во входном буфере данных в вычислительное устройство и инициализация процесса вычислений.

С приходом отрицательного фронта импульса STI начинается формирование последовательностей I1 – I4 с новыми рассчитанными параметрами.

Сигнал STENA разрешает инициализацию вычислений и формирование последовательностей с новыми параметрами.

Формирование последовательностей будет продолжаться до прихода следующего импульса STI совместно с сигналом разрешения STENA.

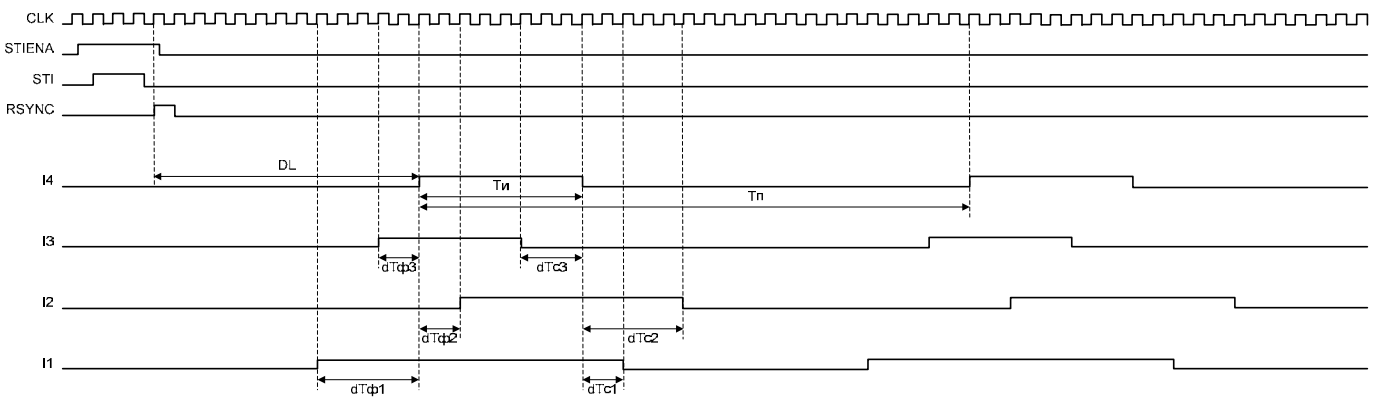
Если к моменту инициализации вычислений новые данные во входной буфер записаны не были, то вычисления будут организованы со старыми данными, хранящимися во входном буфере.

Формирование последовательностей I1 – I4 может быть прекращено путем подачи положительного импульса на вход R.

Структура входных данных

AD			D																DD							
2	1	0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
0	1	0	Начальная задержка DL																Сдвиг фронта I1 (dTф[1])							
0	1	1														DL			Сдвиг спада I1 (dTc[1])							
1	0	0	Длительность импульса Ти																Сдвиг фронта I2 (dTф[2])							
1	0	1	Период повторения импульсов Тп																Сдвиг спада I2 (dTc[2])							
1	1	0																	Сдвиг фронта I3 (dTф[3])							
1	1	1																	Сдвиг спада I3 (dTc[3])							

Порядок формирования последовательностей I1 – I4



ВОСЬМИКАНАЛЬНЫЙ БУФЕРНЫЙ ФОРМИРОВАТЕЛЬ С ЦИФРОВОЙ ФИЛЬТРАЦИЕЙ ИМПУЛЬСНЫХ ПОМЕХ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Максимальная частота синхросигнала, МГц……..90
Максимальный выходной ток, мА……100
Напряжение питания, В……..+5±10%
Температурный диапазон, °С……...от -60 до +125
Тип корпуса……...H16.48-1B

Технологический процесс – КМОП.

Микросхема обладает высокой нагрузочной способностью (до 100 мА по каждому выходу). При этом выходной ток является симметричным по «нулю» и «единице».

Микросхема допускает объединение выходов с пропорциональным увеличением суммарного выходного тока (соответствующие входы при этом также должны быть объединены).

НАЗНАЧЕНИЕ ВЫВОДОВ

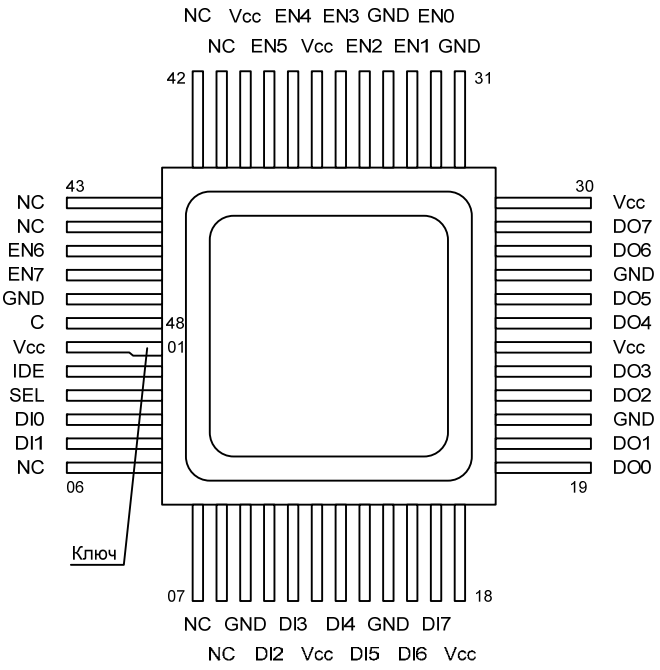


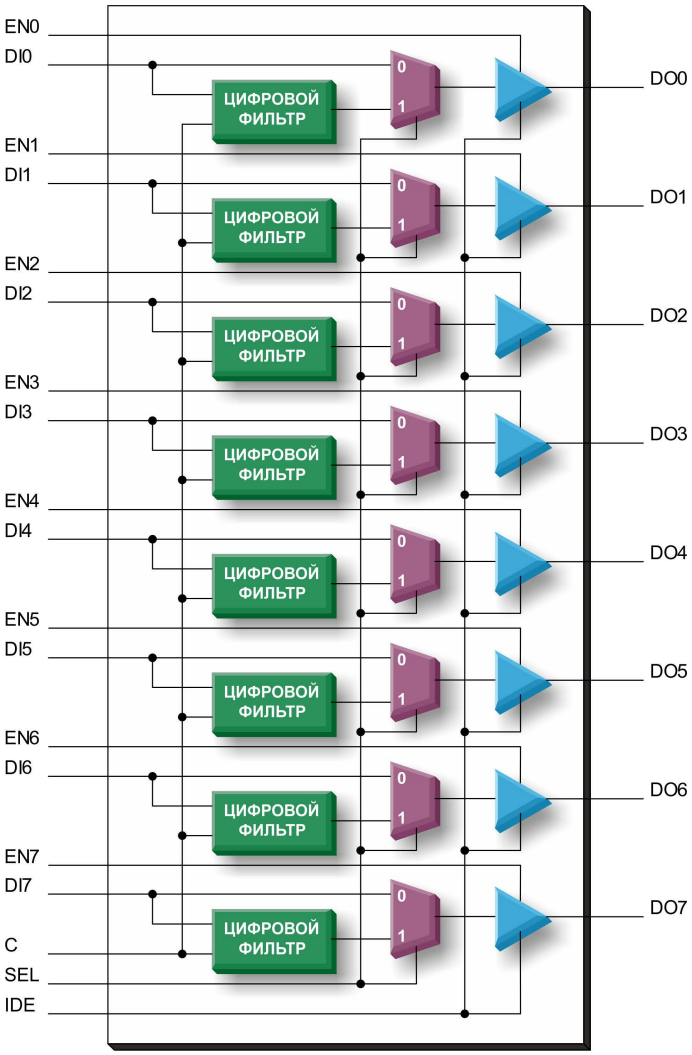
ТАБЛИЦА ФУНКЦИОНИРОВАНИЯ

SEL = L – режим без фильтрации.
SEL = H – режим с фильтрацией.

SEL	IDE	EN	C	DI	DO
L	X	L	X	L	L
L	X	L	X	H	H
H	X	L	↑	L*	L*
H	X	L	↑	H*	H*
X	L	H	X	X	Z
X	H	H	X	X	L

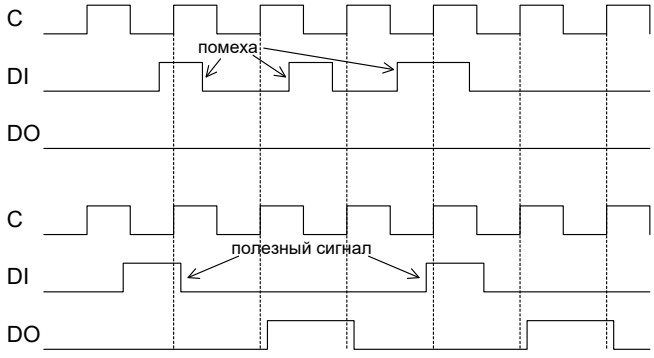
* Выдача сигналов на выходы осуществляется с задержкой на два такта сигнала синхронизации С.
X - произвольное значение сигнала (L или H).

СТРУКТУРНАЯ СХЕМА



Цифровые фильтры предназначены для селекции коротких импульсных помех.

Помехами считаются импульсы, во время действия которых происходит менее двух изменений сигнала синхронизации на входе С.



ВОСЬМИКАНАЛЬНЫЙ БУФЕРНЫЙ ФОРМИРОВАТЕЛЬ С ТРЕМЯ СОСТОЯНИЯМИ НА ВЫХОДЕ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

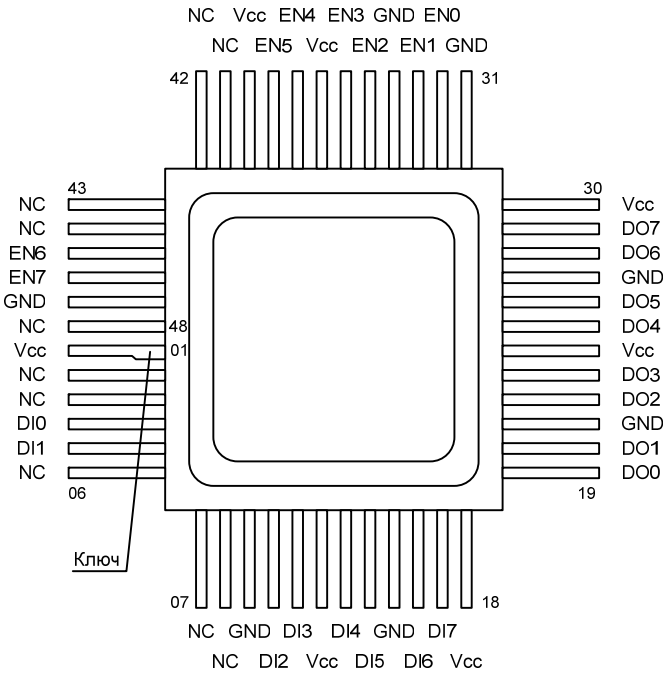
Максимальный выходной ток, мА……100
Напряжение питания, В……..+5±10%
Температурный диапазон, °С……...от -60 до +125
Тип корпуса……..H16.48-1B

Технологический процесс – КМОП.

Микросхема обладает высокой нагрузочной способностью (до 100 мА по каждому выходу). При этом выходной ток является симметричным по «нулю» и «единице».

Микросхема допускает объединение выходов с пропорциональным увеличением суммарного выходного тока (соответствующие входы при этом также должны быть объединены).

НАЗНАЧЕНИЕ ВЫВОДОВ



СТРУКТУРНАЯ СХЕМА

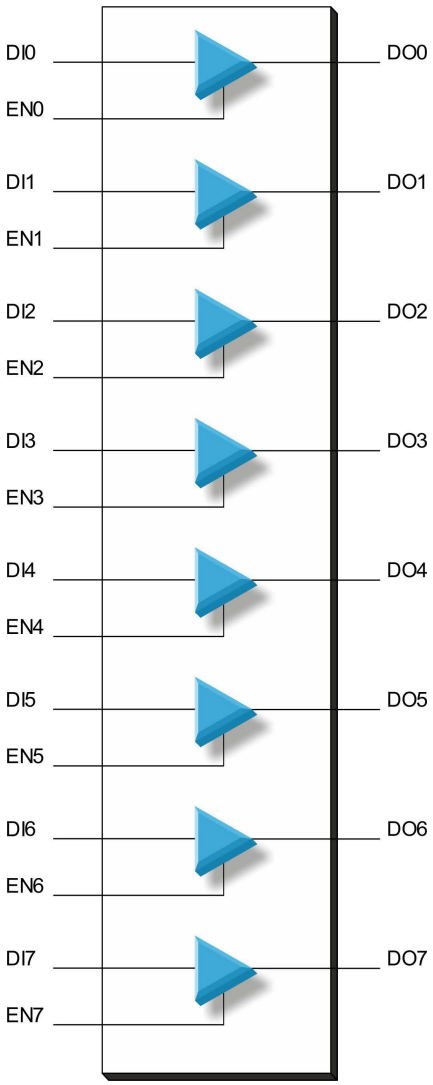


ТАБЛИЦА ФУНКЦИОНИРОВАНИЯ

EN	DI	DO
H	L	L
H	H	H
L	X	Z

X - произвольное значение сигнала (L или H).

ДВА ЧЕТЫРЕХРАЗРЯДНЫХ ФОРМИРОВАТЕЛЯ С ИНВЕРСИЕЙ И ТРЕМЯ СОСТОЯНИЯМИ НА ВЫХОДЕ (ФУНКЦИОНАЛЬНЫЙ АНАЛОГ 530АП3)

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Максимальный выходной ток, мА……100
Напряжение питания, В……..+5±10%
Температурный диапазон, °С……...от -60 до +125
Тип корпуса……...4153.20-6

Технологический процесс – КМОП.

Микросхема обладает высокой нагрузочной способностью (до 100 мА по каждому выходу). При этом выходной ток является симметричным по «нулю» и «единице».

Микросхема допускает объединение выходов с пропорциональным увеличением суммарного выходного тока (соответствующие входы при этом также должны быть объединены).

НАЗНАЧЕНИЕ ВЫВОДОВ

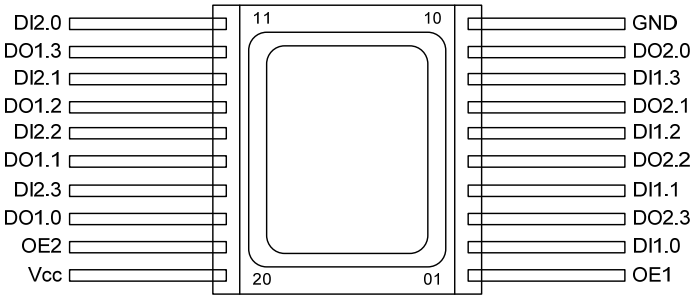
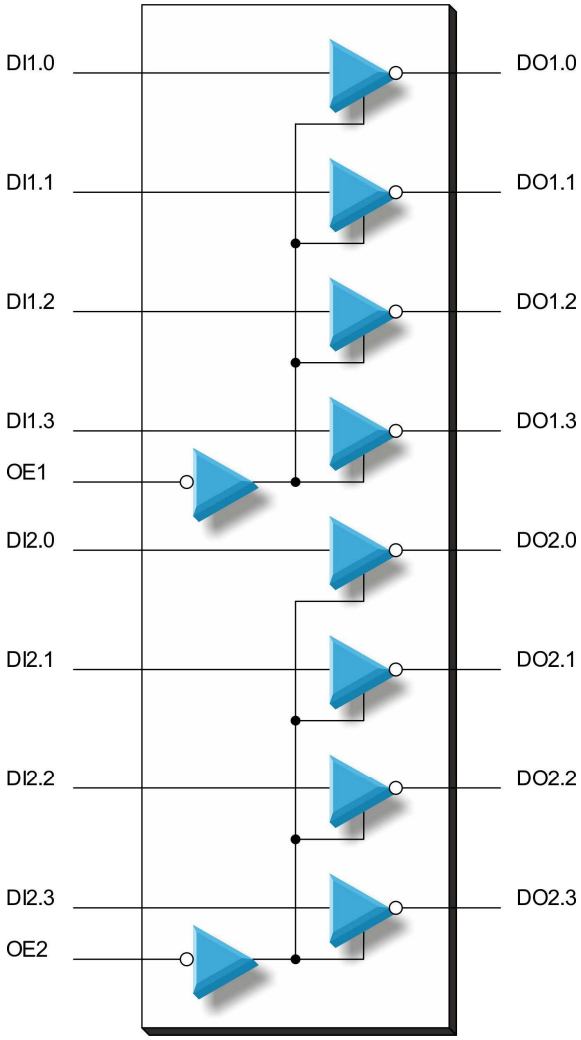


ТАБЛИЦА ФУНКЦИОНИРОВАНИЯ

OE1 (OE2)	DI1 (DI2)	DO1 (DO2)
L	L	H
L	H	L
H	X	Z

X - произвольное значение сигнала (L или H).

СТРУКТУРНАЯ СХЕМА



ДВА ЧЕТЫРЕХРАЗРЯДНЫХ ФОРМИРОВАТЕЛЯ С ТРЕМЯ СОСТОЯНИЯМИ НА ВЫХОДЕ (ФУНКЦИОНАЛЬНЫЙ АНАЛОГ 530АП4)

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Максимальный выходной ток, мА……100
Напряжение питания, В……..+5±10%
Температурный диапазон, °С……...от -60 до +125
Тип корпуса……...4153.20-6

Технологический процесс – КМОП.

Микросхема обладает высокой нагрузочной способностью (до 100 мА по каждому выходу). При этом выходной ток является симметричным по «нулю» и «единице».

Микросхема допускает объединение выходов с пропорциональным увеличением суммарного выходного тока (соответствующие входы при этом также должны быть объединены).

НАЗНАЧЕНИЕ ВЫВОДОВ

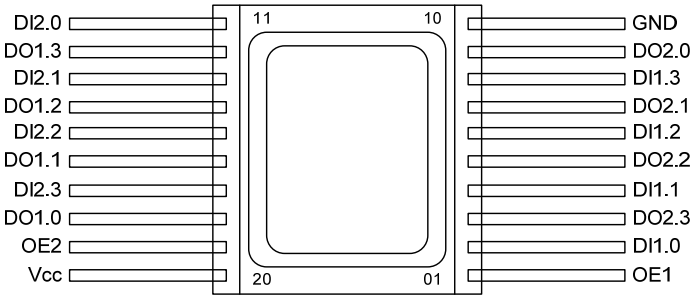
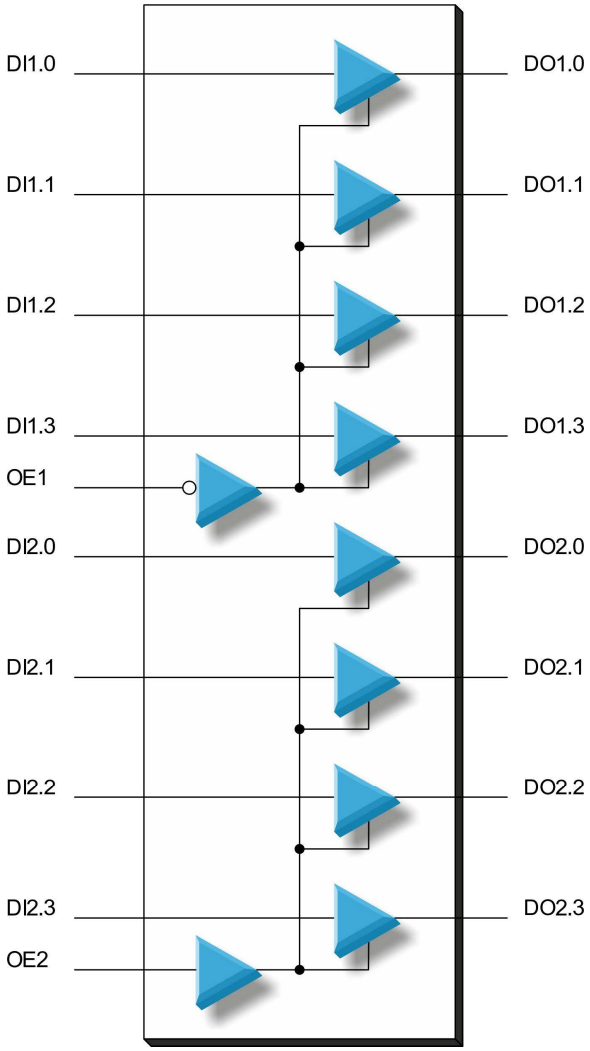


ТАБЛИЦА ФУНКЦИОНИРОВАНИЯ

OE1	DI1	DO1	OE2	DI2	DO2
L	L	L	H	L	L
L	H	H	H	H	H
H	X	Z	L	X	Z

X - произвольное значение сигнала (L или H).

СТРУКТУРНАЯ СХЕМА



ШИННЫЙ ФОРМИРОВАТЕЛЬ С ТРЕМЯ СОСТОЯНИЯМИ НА ВЫХОДЕ (ФУНКЦИОНАЛЬНЫЙ АНАЛОГ 585АП16)

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Максимальный выходной ток, мА……100
Напряжение питания, В……..+5±10%
Температурный диапазон, °С……...от -60 до +125
Тип корпуса……...402.16-32

Технологический процесс – КМОП.

Микросхема обладает высокой нагрузочной способностью (до 100 мА по каждому выходу). При этом выходной ток является симметричным по «нулю» и «единице».

Микросхема допускает объединение выходов с пропорциональным увеличением суммарного выходного тока (соответствующие входы при этом также должны быть объединены).

НАЗНАЧЕНИЕ ВЫВОДОВ

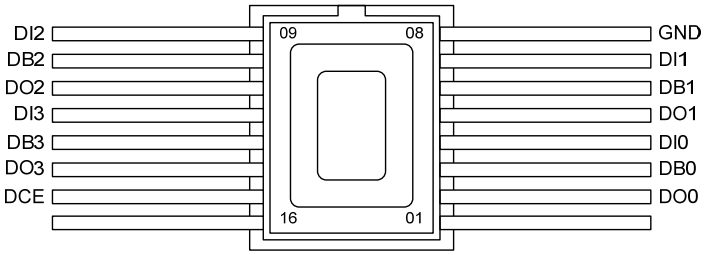
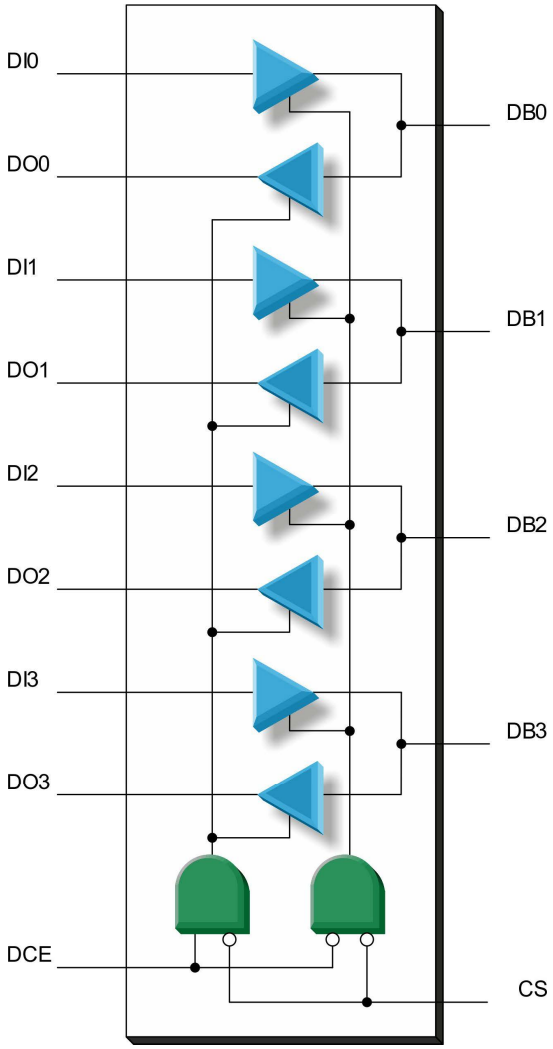


ТАБЛИЦА ФУНКЦИОНИРОВАНИЯ

CS	DCE	DI	DB	DO	Направл.
L	L	L	L	Z	DI→DB
L	L	H	H	Z	DI→DB
L	H	X	L	L	DB→DO
L	H	X	H	H	DB→DO
H	X	X	Z	Z	–

X - произвольное значение сигнала (L или H).

СТРУКТУРНАЯ СХЕМА



ШИННЫЙ ФОРМИРОВАТЕЛЬ ИНВЕРТИРУЮЩИЙ С ТРЕМЯ СОСТОЯНИЯМИ НА ВЫХОДЕ (ФУНКЦИОНАЛЬНЫЙ АНАЛОГ 585АП26)

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Максимальный выходной ток, мА……100
Напряжение питания, В……..+5±10%
Температурный диапазон, °С……...от -60 до +125
Тип корпуса……...402.16-32

Технологический процесс – КМОП.

Микросхема обладает высокой нагрузочной способностью (до 100 мА по каждому выходу). При этом выходной ток является симметричным по «нулю» и «единице».

Микросхема допускает объединение выходов с пропорциональным увеличением суммарного выходного тока (соответствующие входы при этом также должны быть объединены).

НАЗНАЧЕНИЕ ВЫВОДОВ

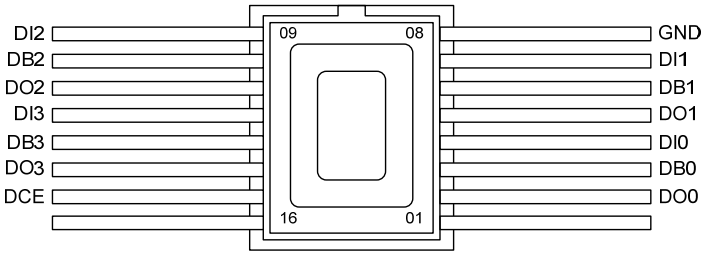
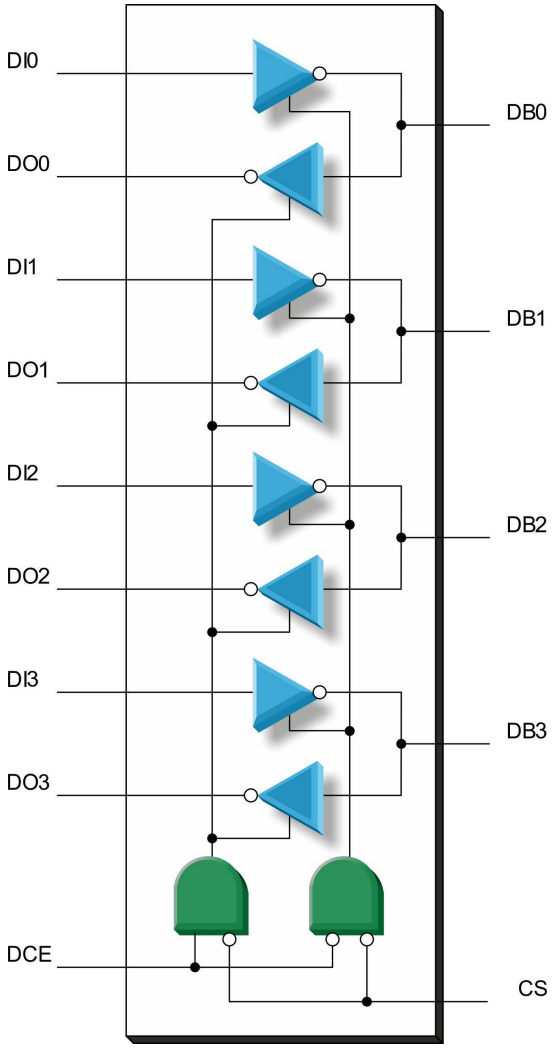


ТАБЛИЦА ФУНКЦИОНИРОВАНИЯ

CS	DCE	DI	DB	DO	Направл.
L	L	L	H	Z	DI→DB
L	L	H	L	Z	DI→DB
L	H	X	L	H	DB→DO
L	H	X	H	L	DB→DO
H	X	X	Z	Z	–

X - произвольное значение сигнала (L или H).

СТРУКТУРНАЯ СХЕМА



КОНТРОЛЛЕР ПОСЛЕДОВАТЕЛЬНОГО ИНТЕРФЕЙСА

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

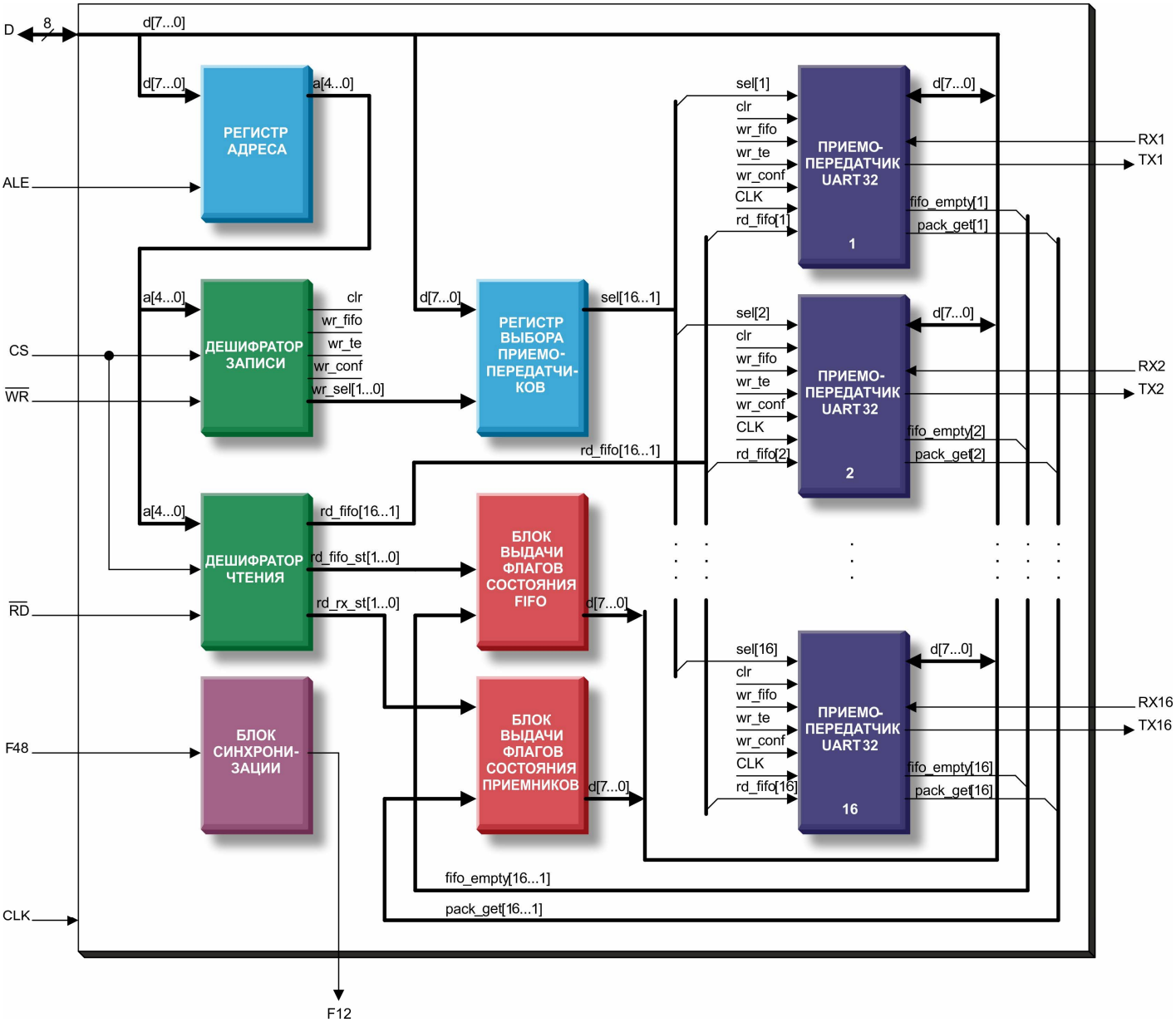
Микросхема предназначена для обеспечения многоканального обмена информацией между микроконтроллером и периферийными устройствами в последовательном коде с использованием интерфейса UART.

Количество каналов приема/передачи информации 16
Емкость FIFO одного канала, байт 32
Частота сигнала синхронизации, МГц 48
Напряжение питания, В ..... +5±10%
Температурный диапазон, °С.....от -60 до +125
Тип корпуса H18.64-1B
Технологический процесс ..... КМОП

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение выводов
D[7]...D[0]	Входы/выходы данных
$\overline{WR}$	Вход строба записи
$\overline{RD}$	Вход строба чтения
ALE	Вход строба записи адреса
CS	Вход сигнала выбора микросхемы
CLK	Вход сигнала синхронизации
F48	Вход сигнала синхронизации 48 МГц
RX1 – R16	Входы приемников
TX1 – TX16	Выходы передатчиков
F12	Выход сигнала синхронизации 12 МГц

СТРУКТУРНАЯ СХЕМА



КОНТРОЛЛЕР ПОСЛЕДОВАТЕЛЬНОГО ИНТЕРФЕЙСА

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

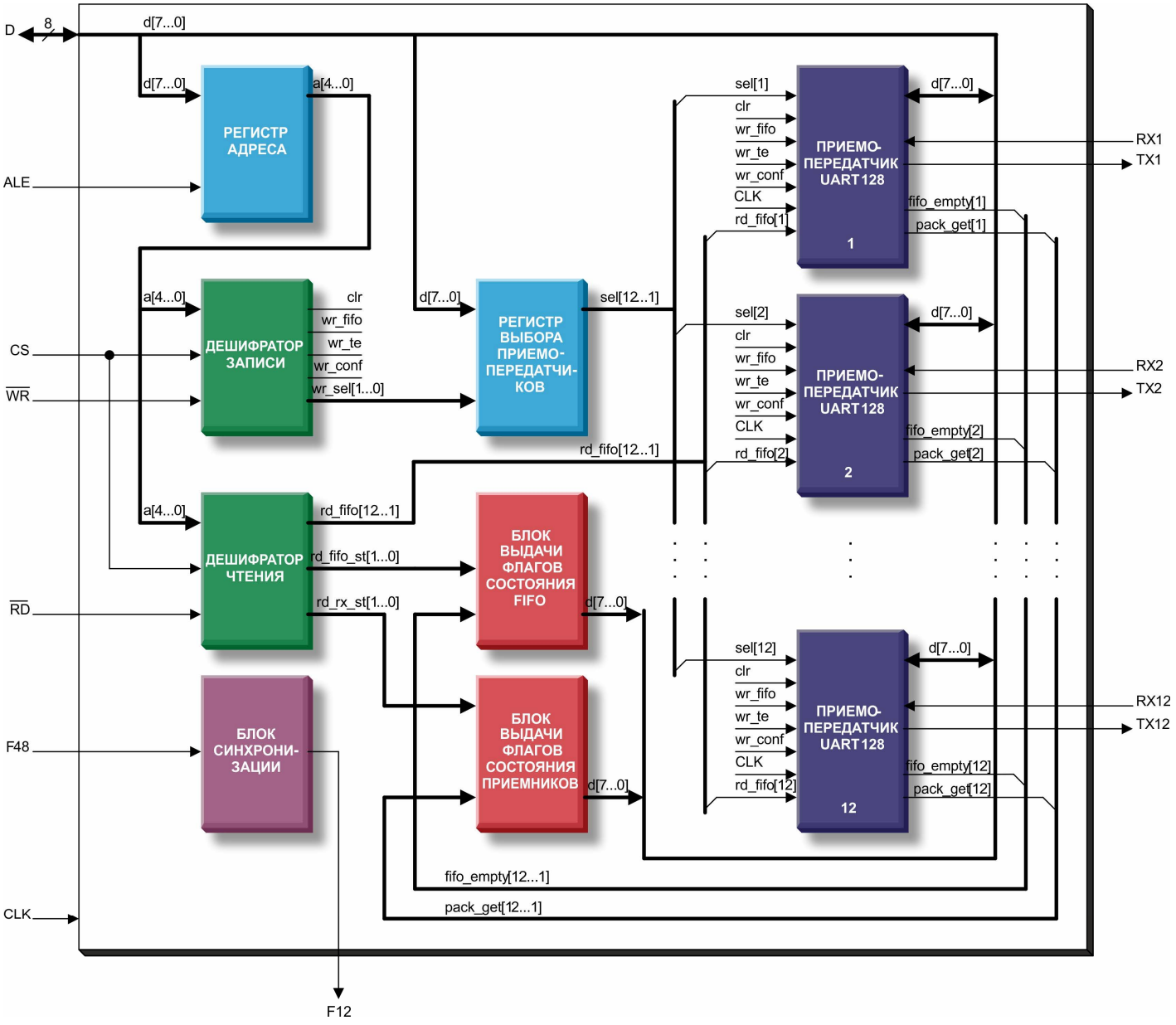
Микросхема предназначена для обеспечения многоканального обмена информацией между микроконтроллером и периферийными устройствами в последовательном коде с использованием интерфейса UART.

Количество каналов приема/передачи информации 12
Емкость FIFO одного канала, байт 128
Частота сигнала синхронизации, МГц 48
Напряжение питания, В ..... +5±10%
Температурный диапазон, °С.....от -60 до +125
Тип корпуса Н16.48-1В
Технологический процесс ..... КМОП

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение выводов
D[7]...D[0]	Входы/выходы данных
$\overline{WR}$	Вход строба записи
$\overline{RD}$	Вход строба чтения
ALE	Вход строба записи адреса
CS	Вход сигнала выбора микросхемы
CLK	Вход сигнала синхронизации
F48	Вход сигнала синхронизации 48 МГц
RX1 – R12	Входы приемников
TX1 – TX12	Выходы передатчиков
F12	Выход сигнала синхронизации 12 МГц

СТРУКТУРНАЯ СХЕМА



КОНТРОЛЛЕР ПАРАЛЛЕЛЬНОГО ИНТЕРФЕЙСА

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

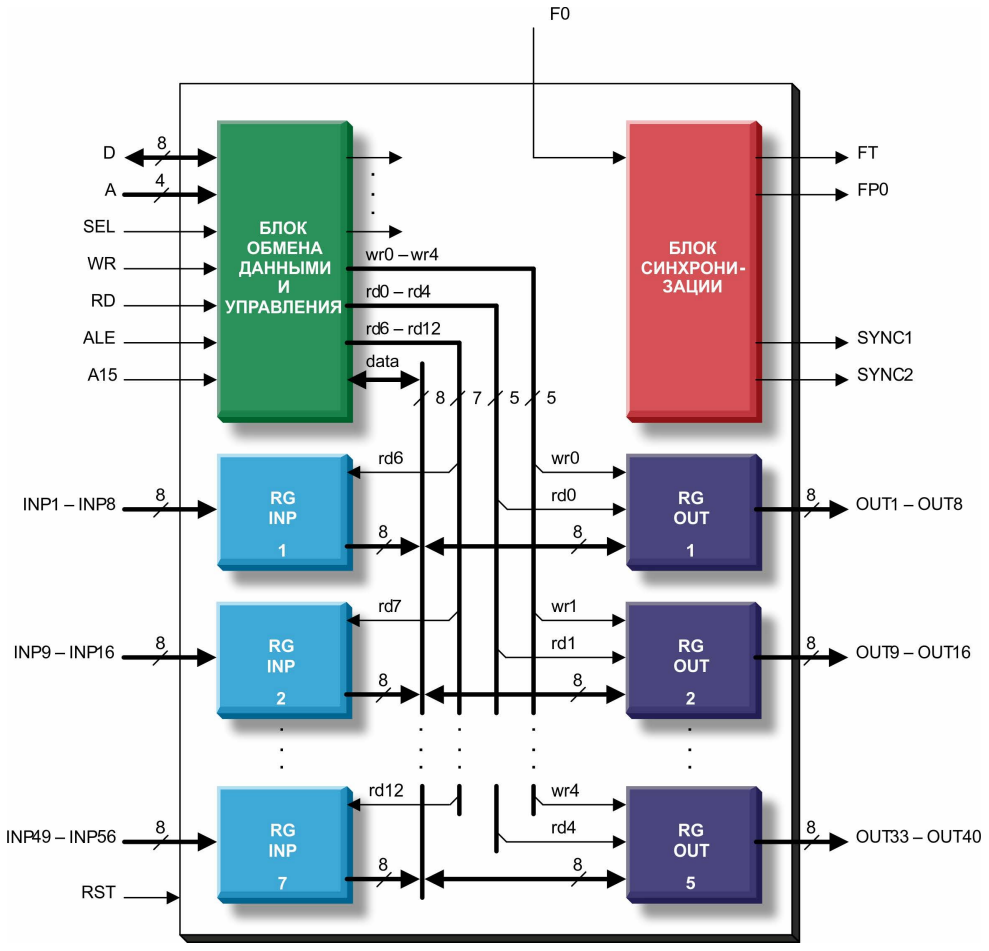
Микросхема предназначена для обеспечения многоканального обмена информацией между микроконтроллером и периферийными устройствами в параллельном коде.

Разрядность данных обмена, бит 8
Количество каналов приема информации 7
Количество каналов передачи информации 5
Частота сигнала синхронизации, МГц 48
Напряжение питания, В ..... +5±10%
Температурный диапазон, °С.....от -60 до +125
Тип корпуса 4229.132-3
Технологический процесс ..... КМОП

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение выводов
D[7]...D[0]	Входы/выходы данных
A[3]...A[0]	Входы адреса
SEL	Вход сигнала выбора адреса
WR	Вход сигнала записи
RD	Вход сигнала чтения
ALE	Вход строба записи адреса
A15	Вход сигнала выбора микросхемы
F0	Вход сигнала синхронизации 48 МГц
RST	Вход сигнала асинхронного сброса
INP1 – INP56	Входы данных
OUT1 – OUT40	Выходы данных
FT	Выход сигнала синхронизации
FP0	Выход сигнала синхронизации
SYNC1	Выход сигнала синхронизации
SYNC2	Выход сигнала синхронизации
TEST	Вывод для тестирования микросхемы

СТРУКТУРНАЯ СХЕМА



СПЕЦИАЛИЗИРОВАННЫЙ КОНТРОЛЛЕР ПРОГРАММИРОВАНИЯ ПАМЯТИ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для программирования в составе аппаратуры микросхем ЭСППЗУ и флэш-памяти под управлением персонального компьютера с использованием интерфейса стандарта IEEE 1149.1 (JTAG).

Микросхема позволяет программировать микросхемы памяти отечественного и зарубежного производства, имеющие шину данных, разрядностью 8 бит, шину адреса, разрядностью не более 19 бит и напряжение питания 5 В.

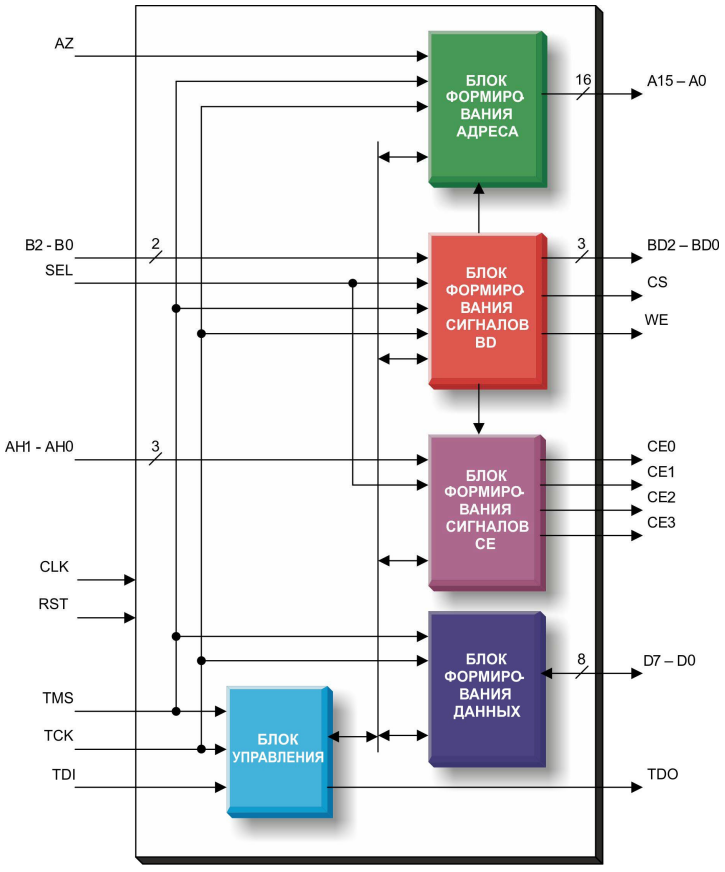
Разрядность шины данных программируемых микросхем, бит 8
Разрядность шины адреса программируемых микросхем, бит 16
Количество одновременно программируемых микросхем, шт 4
Напряжение питания, В.....+5±10%
Температурный диапазон, °С.....от -60 до +125
Тип корпуса.....Н16.48-1В

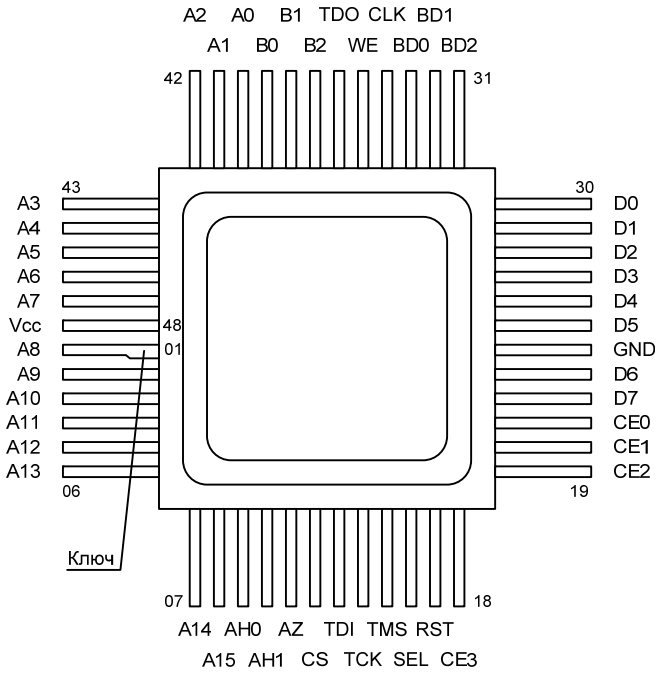
Микросхема изготавливается по КМОП технологии и имеет ТТЛ-совместимые входы и выходы.

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение
B	Входная шина B
AH	Входная шина AH
AZ	Вход сигнала перевода шины A в «третье» состояние
CLK	Вход сигнала синхронизации
TDI	Вход данных в последовательном коде
TCK	Вход синхронизации последовательных данных
TMS	Вход выбора режима
SEL	Вход управления задержкой при трансляции сигналов
RST	Вход асинхронного сброса
BD	Выходная шина BD
A	Выходная шина адреса
CE0	Выход сигнала CE0
CE1	Выход сигнала CE1
CE2	Выход сигнала CE2
CE3	Выход сигнала CE3
CS	Выход сигнала CS
D	Двунаправленная шина данных
WE	Выход сигнала разрешения записи
TDO	Выход данных в последовательном коде

СТРУКТУРНАЯ СХЕМА





ЦИФРОВОЙ ФАЗОВЫЙ ДЕТЕКТОР

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для измерения фазового рассогласования между импульсными последовательностями генератора опорной частоты и генератора, управляемого напряжением, а также формирования импульсных последовательностей с заданными параметрами.

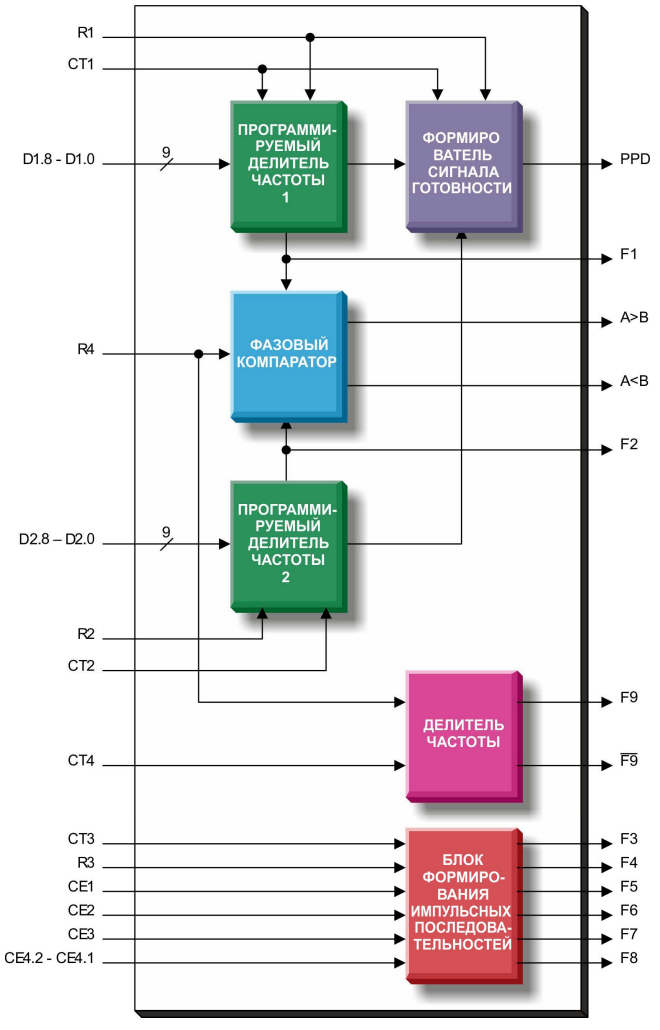
Микросхема может быть использована для решения следующих задач:

- частотная модуляция и демодуляция;
- синтез, измерение и умножение частоты;
- преобразование типа «напряжение – частота»;
- синхронизация потоков данных;
- управление скоростью вращения двигателей.

Максимальная частота сравниваемых последовательностей, МГц.....45
Разрядность кодов управления делителями частоты, бит.....9
Напряжение питания, В.....+5 ± 10%
Температурный диапазон, °С.....от -60 до +125
Тип корпуса.....H16.48-1B

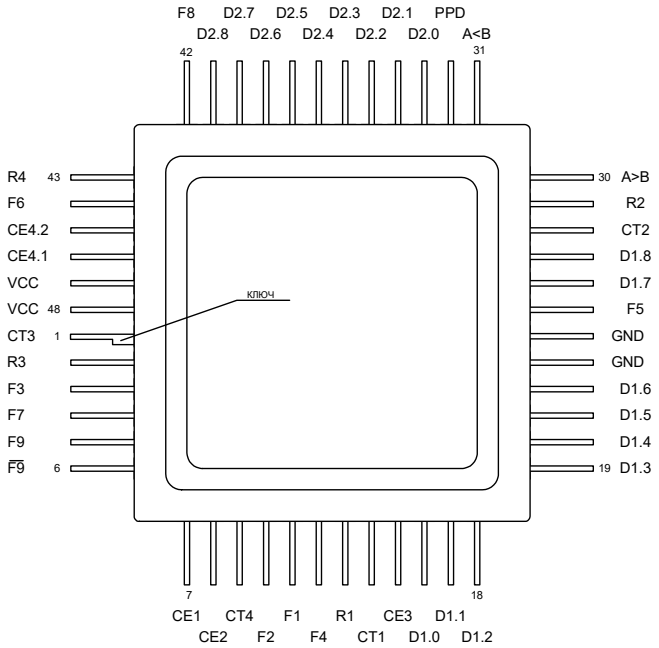
Микросхема изготавливается по КМОП технологии и имеет ТТЛ-совместимые входы и выходы.

СТРУКТУРНАЯ СХЕМА



НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение
D1	Входная шина кода коэффициента деления первого делителя частоты
D2	Входная шина кода коэффициента деления второго делителя частоты
CT1	Вход синхронизации
CT2	Вход синхронизации
R1	Вход разрешения предустановки первого делителя частоты
R2	Вход разрешения предустановки второго делителя частоты
F1	Выход первого делителя фазового детектора
F2	Выход второго делителя фазового детектора
A>B	Выход сигнала сравнения фазового детектора
A<B	Выход сигнала сравнения фазового детектора
PPD	Выход готовности фазового детектора
CT3	Вход синхросигнала
CT4	Вход синхросигнала.
CE1	Вход управления последовательностями 5315/5335
CE2	Вход управления последовательностями 5335/5315
CE3	Вход разрешения выдачи последовательности 15/1
CE4	Входная шина кода управления последовательностями 5330/5345/5355
R3	Вход синхронного сброса
R4	Вход асинхронного сброса фазового детектора и делителя частоты
F3	Выход последовательности 9/4
F4	Выход последовательностей 5315/5335
F5	Выход последовательности 5335/5315
F6	Выход последовательностей 5330/5345/5355
F7	Выход последовательности 180/90
F8	Выход последовательности 15/1
F9	Выход последовательности 1000/1
$\overline{F9}$	Выход последовательности 1000/999 (инверсный)



ФУНКЦИОНИРОВАНИЕ БЛОКА ФАЗОВОГО ДЕТЕКТОРА

Блок фазового детектора включает в себя:

- программируемые делители частоты;
- фазовый компаратор;
- формирователь сигнала готовности.

На входы CT1 и CT2 подаются импульсные последовательности генератора опорной частоты и генератора, управляемого напряжением соответственно.

Программируемые делители осуществляют деление частоты поступающих на их входы последовательностей импульсов.

Коэффициенты деления K1и K2 программируемых делителей определяются значениями сигналов на шинах D1 и D2:

$$K1 = 513 - \sum_{i=0}^{8} D1[i] \cdot 2^i \;,\; K2 = 513 - \sum_{i=0}^{8} D2[i] \cdot 2^i \;;$$

D1[i], D1[i] $\in$ {0,1}.

Поделенные последовательности поступают на выходы F1 и F2 микросхемы, а также на входы фазового компаратора.

В случае, когда частота импульсов F1 больше частоты импульсов F2 ($f_{F1} > f_{F2}$), на выходе A>B формируется последовательность импульсов, длительность которых равна величине рассогласования фаз между сигналами F1 и F2. При этом на выходе A<B будут формироваться импульсы, длительность которых не превышает 10 нс.

При $f_{F1} < f_{F2}$ последовательность импульсов рассогласования фаз формируется на выходе A<B, на выходе A>B – импульсы длительностью не более 10 нс.

При $f_{F1} = f_{F2}$ на обоих выходах A>B и A<B формируются импульсы длительностью не более 10 нс. При этом формируется сигнал готовности фазового детектора, который выдается на выход PPD.

Сигнал PPD формируется при условии, когда рассогласование между фронтами сигналов F2 и F1 находится в интервале $\Delta = [-t_{CT1}; 2\ t_{CT1}]$, где t_{CT1} – длительность импульсов на входе CT1.

ФУНКЦИОНИРОВАНИЕ БЛОКА ФОРМИРОВАНИЯ ИМПУЛЬСНЫХ ПОСЛЕДОВАТЕЛЬНОСТЕЙ

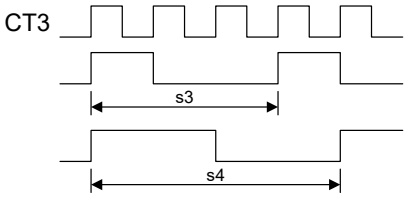
Импульсные последовательности F3, F7 и F8 формируются из входной опорной последовательности CT3 и имеют следующие значения периода повторения T и скважности Q:

$T^{F3} = 9\ T^{CT3}$, $Q^{F3} = 9/4$;

$T^{F7} = 180\ T^{CT3}$, $Q^{F7} = 2$;

$T^{F8} = 15\ T^{CT3}$, $Q^{F8} = 15$;

Основу последовательностей F4, F5 и F6 составляют «символы» s3 и s4, которые формируются из опорной последовательности CT3:



Последовательности F4, F5 и F6 представляют собой чередующиеся наборы из M «символов» s3 и N «символов» s4.

Значения M и N определяются значениями сигналов на входах CE1, CE2 и CE4 в соответствии с таблицами:

последовательность F4

CE1	Код последовательности	M	N
0	5315	652	411
1	5335	668	399

последовательность F5

CE2	Код последовательности	M	N
0	5335	668	399
1	5315	652	411

последовательность F6

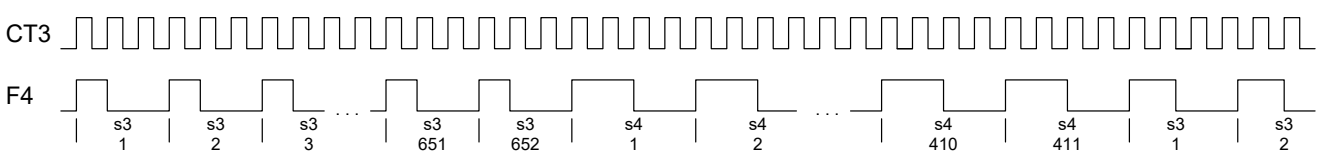
CE4.2	CE4.1	Код последовательности	M	N
0	0	-	-	-
0	1	5330	660	405
1	0	5345	676	393
1	1	5355	684	387

ФУНКЦИОНИРОВАНИЕ БЛОКА ДЕЛЕНИЯ ЧАСТОТЫ

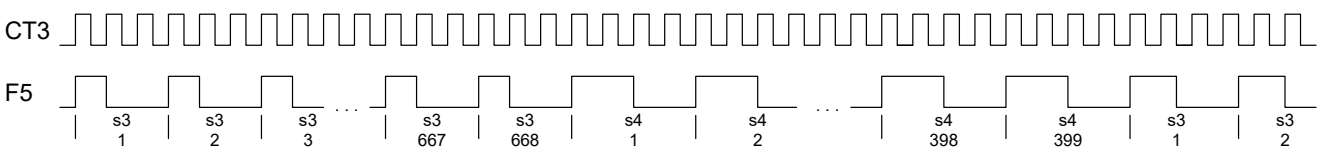
Блок деления частоты осуществляет преобразование входной последовательности CT4 в выходную последовательность F9, имеющую следующие значения периода повторения T и длительности импульса t_H:

$$T^{F9} = 1000\ T^{CT4},\ t_H{}^{F9} = T^{CT4}.$$

Последовательность F9 выдается на выход микросхемы в прямой и инверсной фазе.



Пример формирования последовательности F4 при CE1 = 1



Пример формирования последовательности F5 при CE2 = 0

ЦИФРОВОЙ ФАЗОВЫЙ ДЕТЕКТОР

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для измерения фазового рассогласования между двумя гармоническими сигналами или цифровыми импульсными последовательностями.

Микросхема может быть использована для решения следующих задач:

- частотная модуляция и демодуляция;
- синтез, измерение и умножение частоты;
- преобразование типа «напряжение – частота»;
- синхронизация потоков данных;
- управление скоростью вращения двигателей.

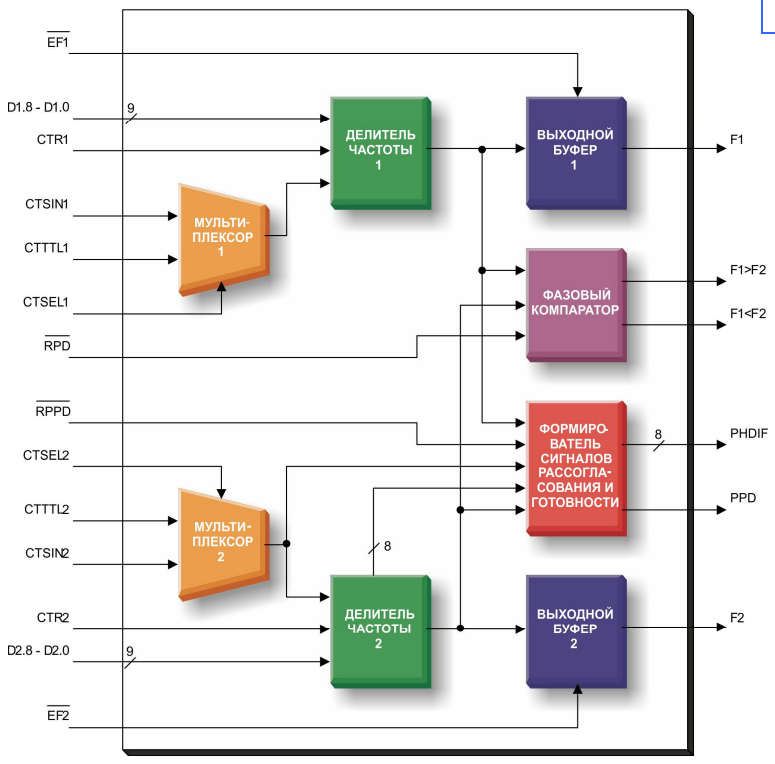
Разрядность кодов управления делителями частоты, бит.....9
Среднеквадратичное значение напряжения входного гармонического сигнала, В.....0,3
Максимальная частота входного гармонического сигнала, МГц, ...96
Максимальная частота входной импульсной последовательности, МГц, ...96
Выходной ток по выходам F1>F2 и F1<F2, мА.....|±15,0|
Напряжение питания, В.....+5 ± 10%
Температурный диапазон, °С.....от -60 до +125
Тип корпуса.....H16.48-1B

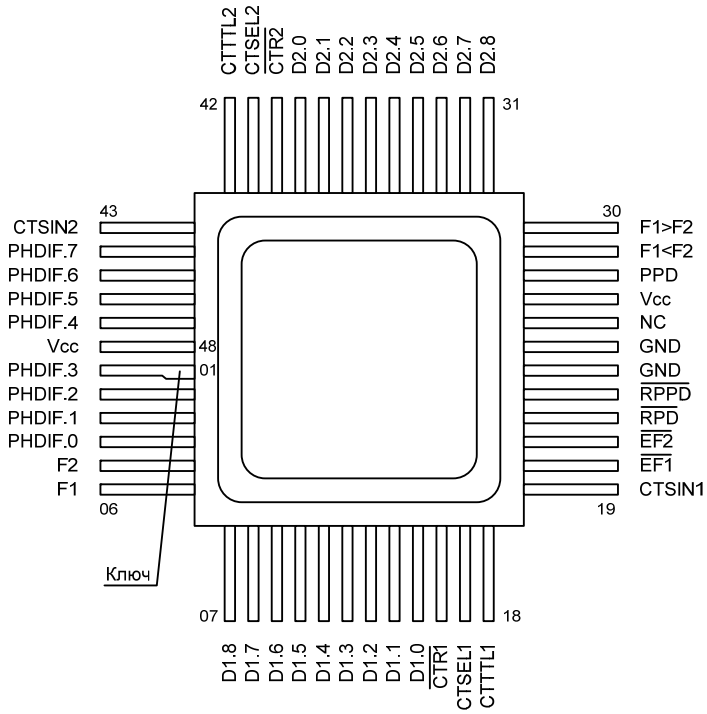
Микросхема изготавливается по КМОП технологии и имеет ТТЛ-совместимые входы и выходы.

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение
D1	Входная шина кода управления коэффициентом деления первого делителя частоты
CTTTL1	Вход цифровой импульсной последовательности первого делителя частоты
CTSIN1	Вход гармонического сигнала первого делителя частоты
CTSEL1	Вход выбора источника сигнала первого делителя частоты
$\overline{CTR1}$	Вход асинхронного сброса первого делителя частоты
F1	Выход первого делителя частоты
$\overline{EF1}$	Вход сигнала отключения выхода первого делителя частоты
D2	Входная шина кода управления коэффициентом деления второго делителя частоты
CTTTL2	Вход цифровой импульсной последовательности второго делителя частоты
CTSIN2	Вход гармонического сигнала второго делителя частоты
CTSEL2	Вход сигнала выбора источника сигнала второго делителя частоты
$\overline{CTR2}$	Вход асинхронного сброса второго делителя частоты
F2	Выход второго делителя частоты
$\overline{EF2}$	Вход сигнала отключения выхода второго делителя частоты
F1<F2	Выход сигнала сравнения фазового детектора
F1>F2	Выход сигнала сравнения фазового детектора
PPD	Выход сигнала готовности фазового детектора
PHDIF	Выходная шина кода разности фаз частот первого и второго делителя частоты
$\overline{RPD}$	Вход асинхронного сброса фазового детектора
$\overline{RPPD}$	Вход асинхронного сброса сигнала готовности фазового детектора

СТРУКТУРНАЯ СХЕМА





ФУНКЦИОНИРОВАНИЕ МИКРОСХЕМЫ

Делители частоты представляют собой делители с программируемыми коэффициентами деления K1 и K2, которые задаются девятиразрядными кодами D1(8:0) и D2(8:0) в соответствии с таблицей:

D1 (D2)	0	1	2	3	…	509	510	511
K1 (K2)	512	513	2	3	…	509	510	511

Делители частоты выполняют деление поступающих на их входы гармонических сигналов (CTSIN1 и CTSIN2) или цифровых импульсных последовательностей (CTTTL1 и CTTTL2). Выбор типов входных сигналов осуществляется сигналами CTSEL1 и CTSEL2:

CTSEL1=0 – вход CTTTL1; CTSEL1=1 – вход CTSIN1;

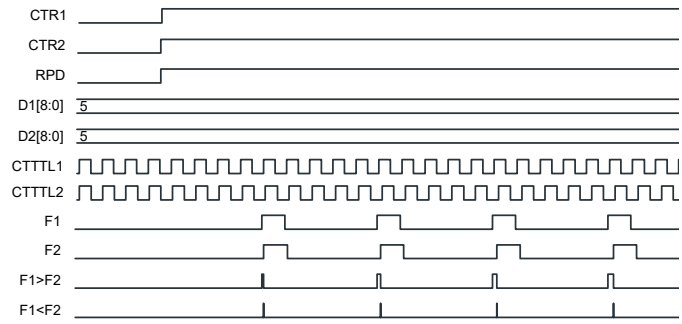
CTSEL2=0 – вход CTTTL2; CTSEL2=1 – вход CTSIN2.

Сброс делителей частоты осуществляется подачей сигналов низкого уровня на входы асинхронного сброса CTR1 и CTR2.

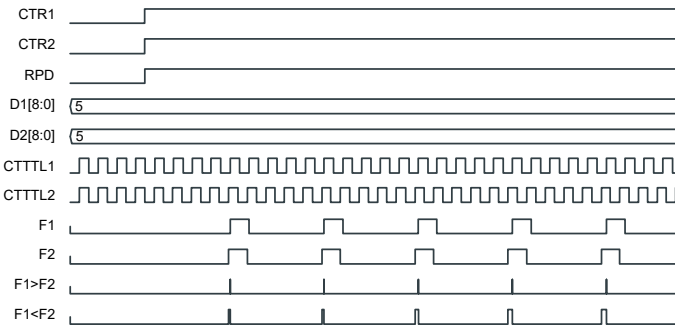
Выходные буферы управляются сигналами EF1 и EF2. При подаче на вход EF1 (EF2) сигнала низкого уровня соответствующий выходной буфер запирается и на выходе F1 (F2) формируется сигнал логического нуля.

Фазовый компаратор осуществляет сравнение поделенных последовательностей, поступающих с выходов делителей частоты.

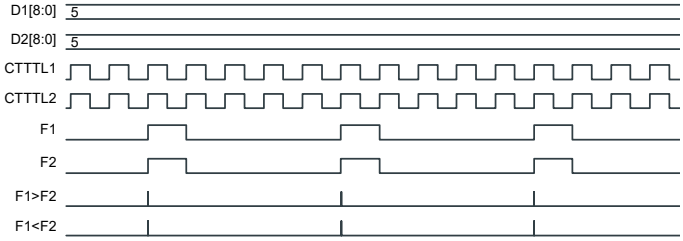
В случае, когда частота импульсов F1 больше частоты импульсов F2 на выходе F1>F2 формируется последовательность импульсов, длительность которых равна величине рассогласования фаз сигналов F1 и F2. При этом на выходе F1<F2 будут формироваться короткие импульсы, длительность которых не превышает 10 нс.



В случае, когда частота импульсов F1 меньше частоты импульсов F2 последовательность импульсов рассогласования фаз формируется на выходе F1<F2, на выходе F1>F2 – короткие импульсы.



При равенстве частот F1 и F2 короткие импульсы формируются на обоих выходах F1>F2 и F1<F2.



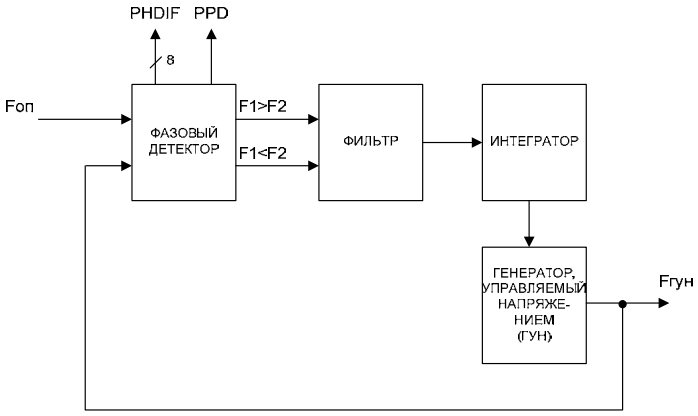
Сброс фазового компаратора осуществляется подачей сигнала низкого уровня на вход асинхронного сброса RPD.

Фазовый компаратор имеет мощные выходные каскады с открытым коллектором, которые обеспечивают высокую нагрузочную способность (до 15 мА) по выходам F1>F2, F1<F2 и допускают их подключение через резисторы к внешнему источнику питания с напряжением до +15 В.

Формирователь сигналов рассогласования и готовности вычисляет фазовое рассогласование между поделенными последовательностями F1 и F2 и выдает результат на выходную шину PHDIF микросхемы. Результат представлен в дополнительном коде и вычисляется в соответствии с выражением:

$$PHDIF = (\varphi_{F2} - \varphi_{F1} + 180°) \cdot K2/360°.$$

Если значение сигнала рассогласования лежит в интервале PHDIF = [-1;1], то на выходе PPD микросхемы формируется единичное значение сигнала готовности фазового детектора, свидетельствующее о том, что система фазовой автоподстройки частоты (ФАПЧ), в состав которой он входит, настроена.

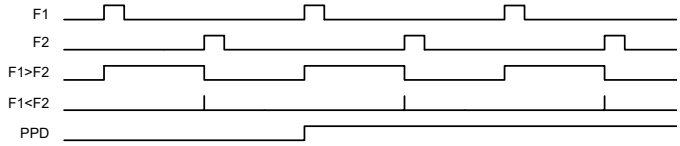


Структура системы ФАПЧ

Из выражения видно, что сигнал готовности фазового детектора, формируется при сдвиге фаз поделенных последовательностей F1 и F2 на 180°, что соответствует задержке между импульсами последовательностей, равной половине периода их повторения.

Это связано с тем, что если в качестве признака окончания настройки системы использовать равенство частот поделенных последовательностей при равенстве их фаз, то в этом случае на обоих выходах F1>F2 и F1<F2 будут формироваться короткие импульсы, которые не позволяют осуществить окончательную настройку системы и приводят к уходу настройки то в одну, то в другую сторону.

В связи с этим в качестве признака окончания настройки используется равенство частот поделенных последовательностей при сдвиге их фаз на 180°. При этом на одном из выходов F1>F2 или F1<F2 будут формироваться импульсы постоянной длительности, что позволяет существенно стабилизировать момент настройки системы ФАПЧ.



Чтобы интегратор при этом не вырабатывал управляющее напряжение, подаваемое на ГУН, указанные импульсы компенсируются, путем подачи на вход интегратора компенсирующего напряжения.

Сброс формирователя сигналов рассогласования и готовности осуществляется путем подачи сигнала низкого уровня на вход асинхронного сброса RPPD.

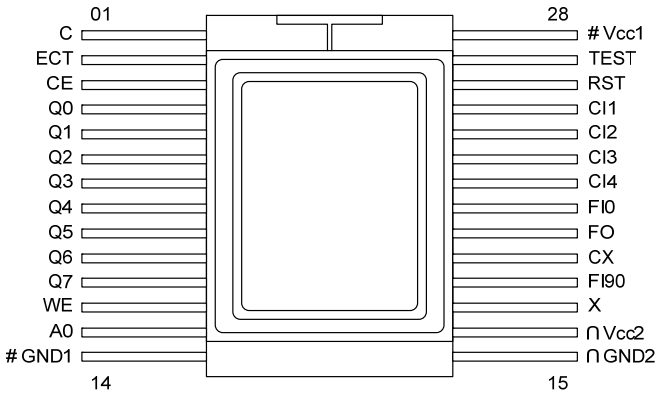
СПЕЦИАЛИЗИРОВАННЫЙ УПРАВЛЯЕМЫЙ ФАЗОВРАЩАТЕЛЬ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для сдвига фазы гармонического сигнала в зависимости от подаваемых на ее вход сигналов управления.

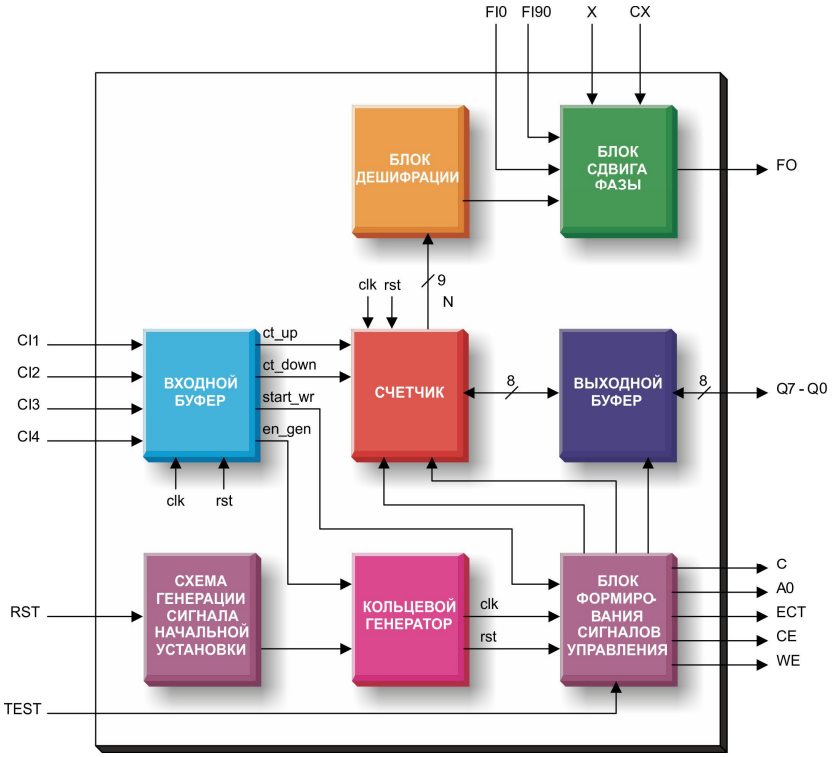
Частота входного сигнала, МГц……4,6 ± 1500 Гц
Амплитуда входного сигнала, В. эфф……..…..1 ± 10%
Диапазон сдвига фазы, градус …….. 0 – 360
Минимальный шаг изменения фазы, градус ……2,8
Точность удержания фазы, градус ……..±5
Коэффициент усиления напряжения ……..0,7 – 1
Напряжение питания цифровой части, В……..+5±10%
Напряжение питания аналоговой части, В……+5±10%
Температурный диапазон, °С……...от -60 до +125
Тип корпуса……...4119.28-6

НАЗНАЧЕНИЕ ВЫВОДОВ



Обозначение	Назначение
C	Выход сигнала синхронизации EEPROM
ECT	Выход сигнала выбора режима работы EEPROM
CE	Выход сигнала выбора микросхемы EEPROM
Q	Двунаправленная шина данных
WE	Выход сигнала разрешения записи в EEPROM
A0	Выход адреса EEPROM
FO	Выход сдвинутого опорного сигнала
FI0	Вход первой квадратуры опорного сигнала
FI90	Вход второй квадратуры опорного сигнала
CI1	Вход первого сигнала управления сдвигом фазы
CI2	Вход второго сигнала управления сдвигом фазы
CI3	Вход третьего сигнала управления сдвигом фазы
CI4	Вход четвертого сигнала управления сдвигом фазы
X	Вывод для подключения внешнего резистора
CX	Вывод для подключения внешнего конденсатора
RST	Вход для подключения цепи начального сброса
TEST	Вход сигнала включения тестового режима
# Vcc1	Вывод питания от источника напряжения цифровой части
# GND1	Общий вывод цифровой части
∩Vcc2	Вывод питания от источника напряжения аналоговой части
∩GND2	Общий вывод аналоговой части

СТРУКТУРНАЯ СХЕМА



ФУНКЦИОНИРОВАНИЕ МИКРОСХЕМЫ

Микросхема используется для сдвига фазы гармонического сигнала с частотой 4,6 МГц ± 1500 Гц.

Из входного сигнала FI формируются квадратурные составляющие, которые подаются на входы FI0 и FI90 микросхемы. Формирование квадратур осуществляется при помощи внешней схемы.

На выходе FO микросхемы формируется гармонический сигнал, фаза которого сдвинута относительно фазы входного сигнала FI на величину

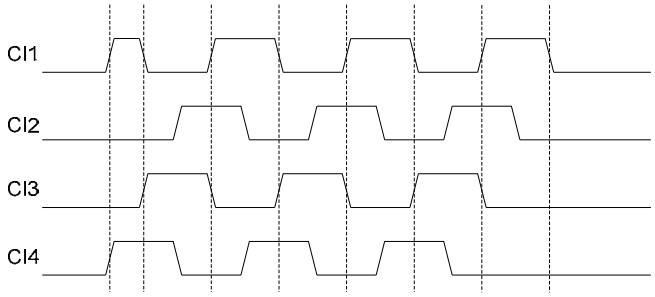
$$\varphi = \beta + N \cdot 2{,}8°;$$

где N – девятиразрядное двоичное число с выхода счетчика;

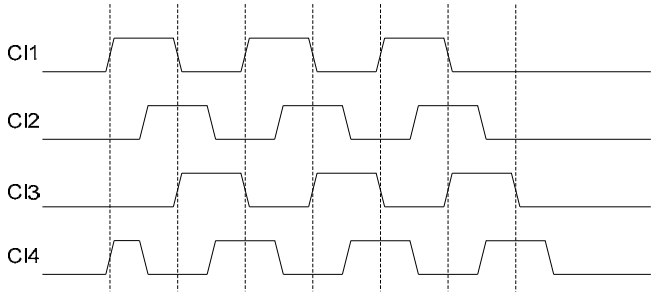
β – сдвиг фазы, определяемый задержкой распространения сигнала в блоке сдвига фазы.

Задержка распространения составляет единицы наносекунд и определяется технологическим разбросом параметров при изготовлении микросхем, а также условиями эксплуатации (температуры окружающей среды, напряжения питания и др.).

В **режиме настройки** на входы CI1 – CI4 микросхемы подаются сдвинутые друг относительно друга периодические последовательности прямоугольных импульсов. Поступающие импульсы инициируют изменение содержимого счетчика и, следовательно, изменение сдвига фазы выходного сигнала в сторону увеличения, либо в сторону уменьшения.



Порядок следования сигналов на входах CI1 –CI4 при увеличении сдвига фазы.



Порядок следования сигналов на входах CI1 –CI4 при уменьшении сдвига фазы.

После окончания настройки импульсы на входы C1 – C4 не поступают, и информация на выходе счетчика остается неизменной. При этом девятиразрядный настроечный код с выхода счетчика переписывается во внешнюю память EEPROM последовательно в виде двух восьмиразрядных слов. В первом слове содержатся старшие восемь разрядов настроечного кода, а в младшем разряде второго слова – младший разряд настроечного кода.

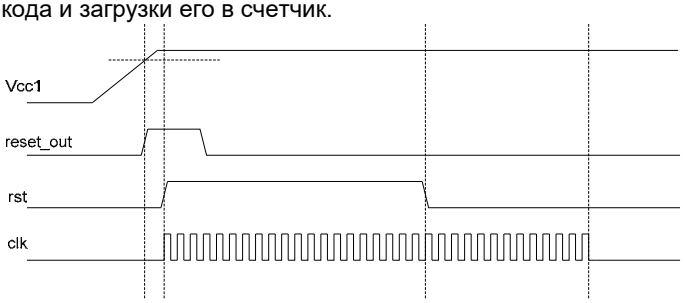
После настройки микросхема переходит в **рабочий режим**, при котором обеспечивается постоянный сдвиг фазы входного сигнала, определяемый кодом на выходе счетчика, который также хранится и во внешней памяти EEPROM.

При **включении питания** производится последовательное чтение двух байт информации из внешней памяти EEPROM и загрузка считанного девятиразрядного настроечного кода в счетчик. После этого микросхема может переходить либо в режим настройки, либо в рабочий режим.

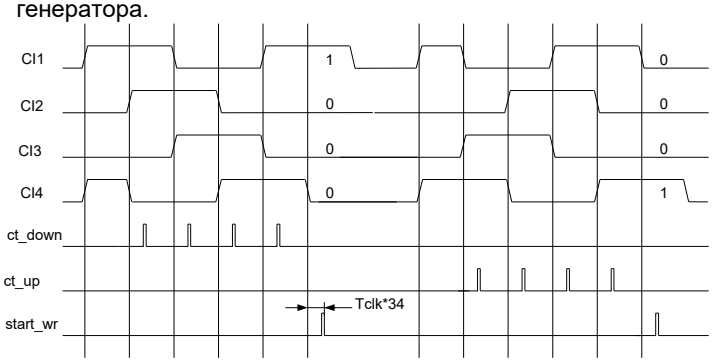
ФОРМИРОВАНИЕ СИНХРОСИГНАЛА

В режиме инициализации (при включении питания) и в режиме настройки при помощи встроенного в микросхему кольцевого генератора формируется тактовый синхросигнал частотой 2 МГц.

В **режиме инициализации** схема генерации сигнала начальной установки обнаруживает факт возрастания напряжения питания U_{CC1} от нуля до определенной величины и вырабатывает положительный импульс reset_out, который инициирует формирование внутреннего сигнала сброса rst и последовательности тактовых импульсов clk , которая используется для организации чтения из внешней памяти EEPROM хранящегося в ней настроечного кода и загрузки его в счетчик.



В **режиме настройки** генерация тактовых импульсов clk осуществляется при наличии сигналов управления хотя бы на одном из входов C1 – C4. В этом случае на выходе входного буфера формируется управляющий сигнал en_gen, который разрешает работу кольцевого генератора.



В данном режиме синхроимпульсы clk используются для приема входным буфером сигналов C1 – C4 и формирования сигналов управления счетчиком ct_up (увеличение состояния счетчика на единицу) и ct_down (уменьшение состояния счетчика на единицу), а также сигнала инициализации процедуры записи во внешнюю память EEPROM start_wr.

В режиме настройки осуществляется анализ состояния сигналов на входах C1 – C4. Из рисунка видно, что импульсы на входы C1 – C4 поступают с перекрытием таким образом, что в каждый момент времени на двух из входов действует сигнал «логической единицы», а на двух остальных – сигнал «логического нуля».

В связи с этим, наличие ситуации, когда сигнал «логической единицы» присутствует только на одном из входов, а на трех остальных – сигнал «логического нуля», будет означать, что далее управляющие сигналы C1 – C4 поступать не будут, и режим настройки закончен. В этом случае формируется сигнал start_wr, который инициирует процесс записи настроечного кода с выхода счетчика во внешнюю память.

ЦИФРОВОЙ СИНТЕЗАТОР ОТСЧЕТОВ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для формирования отсчетов синусоидальных колебаний с заданной частотой и начальной фазой.

Микросхема может быть использована для формирования литерных гетеродинных частот, компенсации доплеровского сдвига частоты, а также в качестве управляемого генератора в устройствах синхронизации и демодуляции сигналов.

Разрядность инкремента фазы, бит……..16
Разрядность формируемых отсчетов, бит……...14
Количество отсчетов на интервале [0:2π[…….65536
Разрядность кода фазового смещения, бит……..……..6
Максимальная частота
сигнала синхронизации, МГц……...35
Напряжение питания, В……...……+5±10%
Температурный диапазон, °С……...от -60 до +125
Тип корпуса……...H16.48-1B

Микросхема изготавливается по КМОП технологии и имеет ТТЛ-совместимые входы и выходы.

ФУНКЦИОНИРОВАНИЕ МИКРОСХЕМЫ

В микросхеме реализован метод непосредственного синтеза частоты на основе накапливающего сумматора и ПЗУ функции SIN(X).

На шину DI подается значение инкремента фазы, определяющее частоту генерируемой синусоиды, а на шину PH – двоичный код, определяющий значение начальной фазы.

Аккумулятор инкремента фазы в соответствии с заданным значением инкремента формирует предварительное значение фазы, которое после суммирования в блоке формирования фазы со значением начальной фазы поступает на блок формирования и выборки отсчетов.

Блок формирования отсчетов в каждом такте импульсов C выдает на выходную шину DO значение отсчета синусоидальной последовательности:

$$s(n) = 8192 + 8191 \cdot \sin\left(\frac{2\pi}{N} \cdot \alpha(n-4)\right);$$

$$\alpha(n-4) = \left(\beta(n-6) + \left(\sum_{i=1}^{n-6} \varphi(i) + p(i)\right)\right) \bmod N;$$

где n – номер такта работы микросхемы; N=65536.

Частота формируемой синусоидальной последовательности определяется выражением:

$$f_{OUT} = \frac{f_C \cdot \varphi}{65536};$$

где f_C – частота синхросигнала C;
φ - значение инкремента фазы.

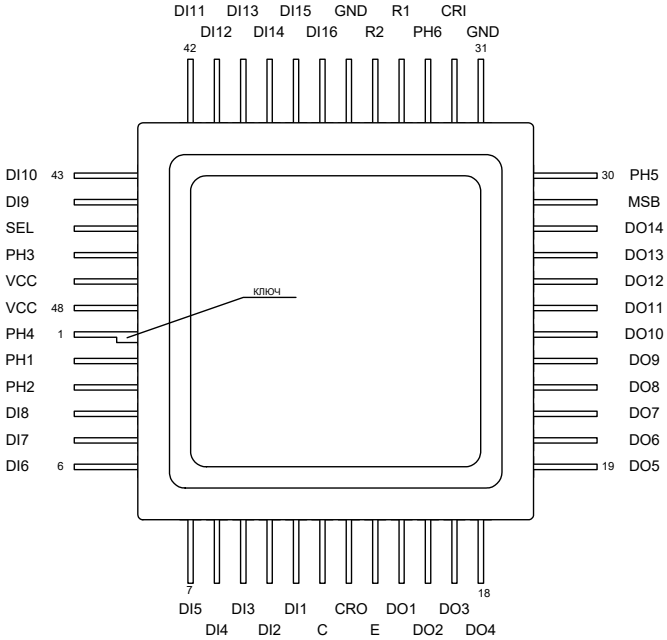
На выход MSB выдается сигнал, определяющий знак полуволны формируемой синусоиды, а на выход CRO – сигнал переноса из аккумулятора инкремента фазы.

На вход E подается сигнал разрешения выдачи информации, а на вход SEL – сигнал выбора режима включения синтезатора.

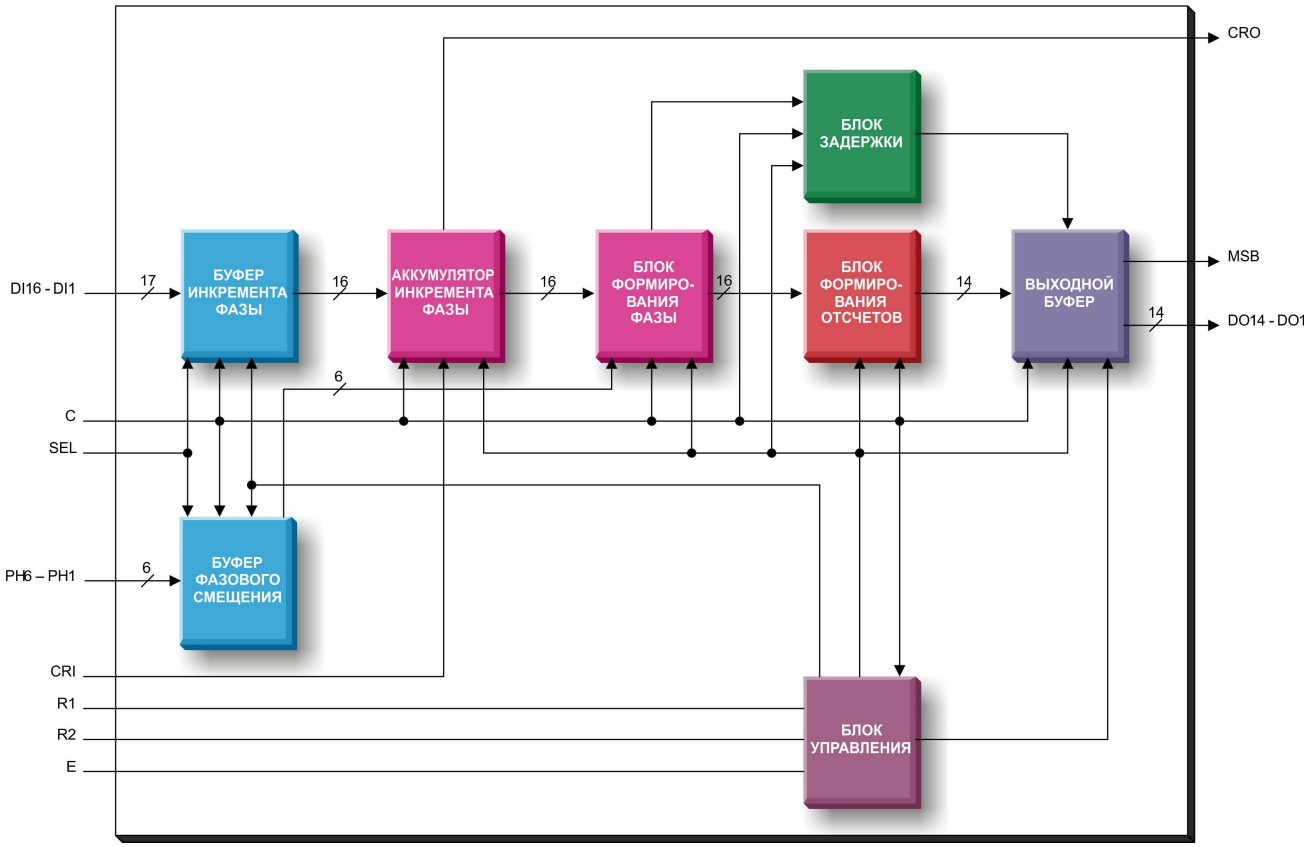
Сигналы R1 и R2 осуществляют асинхронный сброс внутренних регистров синтезатора.

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение
DI	Входная шина инкремента фазы
PH	Входная шина кода фазового смещения
CRI	Вход переноса аккумулятора фазы
C	Вход синхронизации
R1	Вход асинхронного сброса
R2	Вход асинхронного сброса
E	Вход разрешения выдачи информации.
SEL	Вход выбора режима включения
DO	Выходная шина отсчетов синусоидальной последовательности
CRO	Выход переноса аккумулятора фазы
MSB	Выход старшего разряда адреса



СТРУКТУРНАЯ СХЕМА



ЦИФРОВОЙ СИНТЕЗАТОР ОТСЧЕТОВ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для формирования отсчетов синусоидальных колебаний с заданной частотой и начальной фазой.

Микросхема может быть использована для формирования литерных гетеродинных частот, компенсации доплеровского сдвига частоты, а также в качестве управляемого генератора в устройствах синхронизации и демодуляции сигналов.

Разрядность инкремента фазы, бит……..16
Разрядность формируемых отсчетов, бит……...14
Количество отсчетов на интервале [0:2π[…….65536
Разрядность кода фазового смещения, бит……..……...6
Максимальная частота
сигнала синхронизации, МГц……..35
Напряжение питания, В…….....……+5±10%
Температурный диапазон, °С……...от -60 до +125
Тип корпуса……...H16.48-1B

Микросхема изготавливается по КМОП технологии и имеет ТТЛ-совместимые входы и выходы.

ФУНКЦИОНИРОВАНИЕ МИКРОСХЕМЫ

В микросхеме реализован метод непосредственного синтеза частоты на основе накапливающего сумматора и ПЗУ функции SIN(X).

На шину DI подается значение инкремента фазы, определяющее частоту генерируемой синусоиды, а на шину PH – двоичный код, определяющий значение начальной фазы.

Аккумулятор инкремента фазы в соответствии с заданным значением инкремента формирует предварительное значение фазы, которое после суммирования в блоке формирования фазы со значением начальной фазы поступает на блок формирования и выборки отсчетов.

Блок формирования отсчетов в каждом такте импульсов C выдает на выходную шину DO значение отсчета синусоидальной последовательности:

$$s(n) = 8192 + 8191 \cdot \sin\left(\frac{2\pi}{N} \cdot \alpha(n-4)\right);$$

$$\alpha(n-4) = \left(\beta(n-6) + \left(\sum_{i=1}^{n-6} \varphi(i) + p(i)\right)\right) \bmod N;$$

где n – номер такта работы микросхемы; N=65536.

Частота формируемой синусоидальной последовательности определяется выражением:

$$f_{OUT} = \frac{f_C \cdot \varphi}{65536};$$

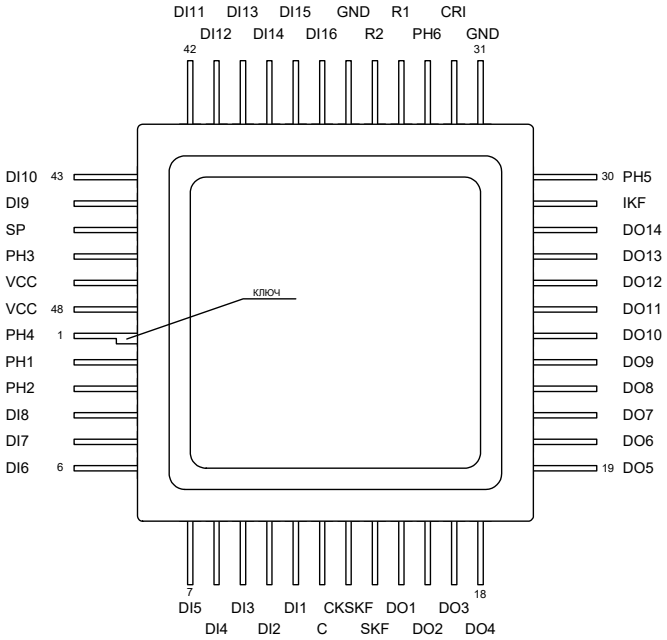
где f_C – частота синхросигнала C;
φ - значение инкремента фазы.

В микросхеме предусмотрена возможность загрузки инкремента фазы в последовательном коде (входы SKF, CKSKF, IKF, SP).

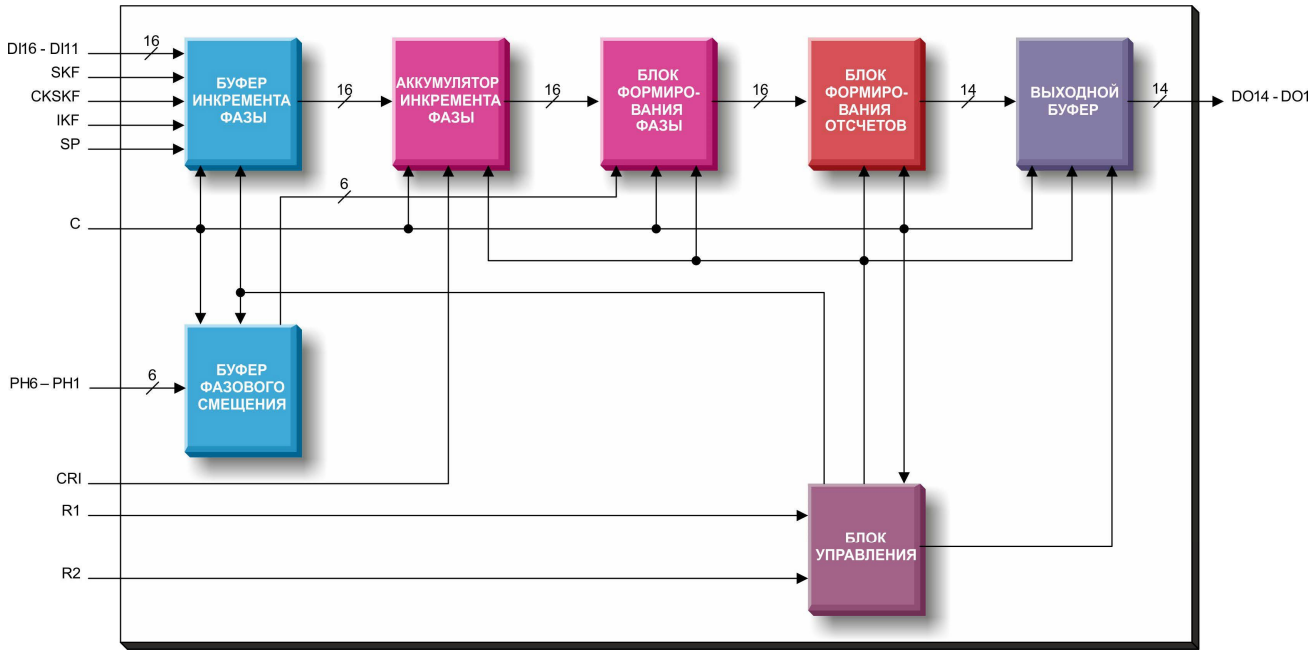
Сигналы R1 и R2 осуществляют асинхронный сброс внутренних регистров синтезатора.

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение
DI	Входная шина инкремента фазы
PH	Входная шина кода фазового смещения
CRI	Вход переноса аккумулятора фазы
C	Вход синхронизации
R1	Вход асинхронного сброса
R2	Вход асинхронного сброса
SP	Вход управления режимом загрузки инкремента фазы
SKF	Вход инкремента фазы в последовательном коде
CKSKF	Вход синхросигнала загрузки инкремента фазы в последовательном коде
IKF	Вход сигнала записи инкремента фазы в последовательном коде
DO	Выходная шина отсчетов синусоидальной последовательности



СТРУКТУРНАЯ СХЕМА



ВОСЬМИРАЗРЯДНЫЙ ПРЕОБРАЗОВАТЕЛЬ ПОСЛЕДОВАТЕЛЬНОГО КОДА В ПАРАЛЛЕЛЬНЫЙ (ФУНКЦИОНАЛЬНЫЙ АНАЛОГ HCC4094)

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Напряжение питания, В……..+5±10%
Температурный диапазон, °С……...от -60 до +125
Тип корпуса……...402.16-32

Технологический процесс – КМОП.

НАЗНАЧЕНИЕ ВЫВОДОВ

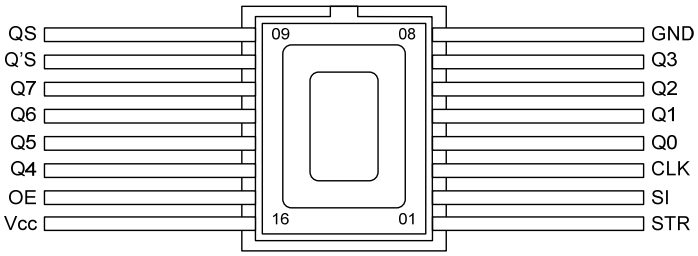
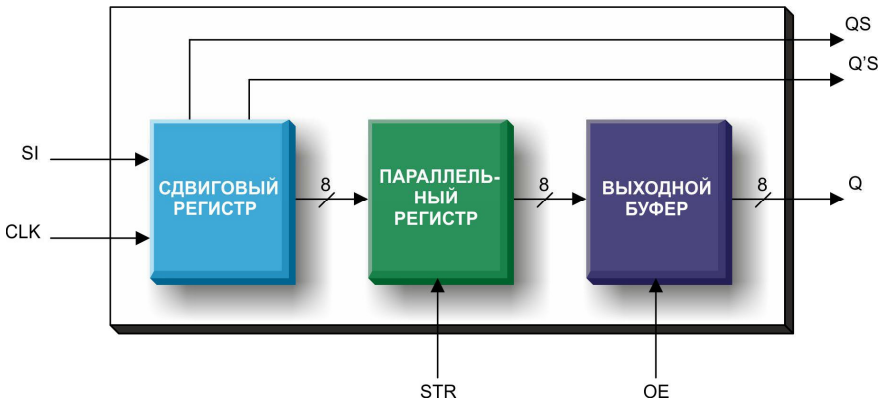


ТАБЛИЦА ФУНКЦИОНИРОВАНИЯ

Входы				Выходы			
				Параллельные		Последовательные	
CLK	OE	STR	SI	Q0	Qn	QS	Q'S
↑	H	H	L	L	Qn-1	Q6	NC
↑	H	H	H	H	Qn-1	Q6	NC
↑	H	L	X	NC	NC	Q6	NC
↑	L	X	X	Z	Z	Q6	NC
↓	H	X	X	NC	NC	NC	QS
↓	L	X	X	Z	Z	NC	QS

X - произвольное значение сигнала (L или H).

СТРУКТУРНАЯ СХЕМА



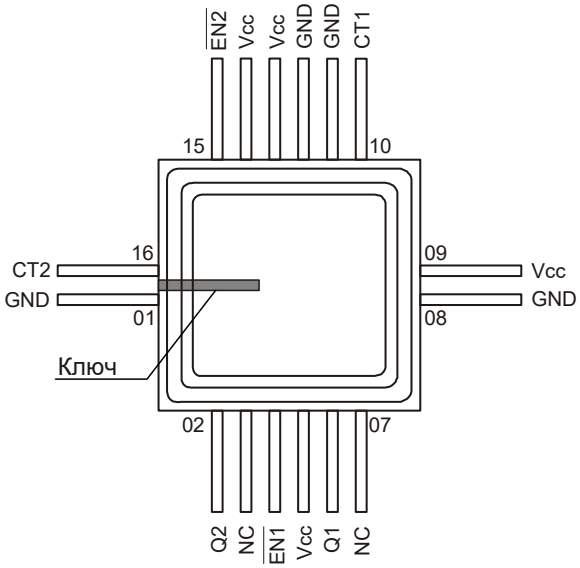
ДЕЛИТЕЛЬ ЧАСТОТЫ С КОЭФФИЦИЕНТОМ ДЕЛЕНИЯ ДВА

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для деления частоты поступающих на ее входы последовательностей импульсов или синусоидального сигнала с коэффициентом деления два.

Микросхема изготавливается по КМОП-технологии и обеспечивают возможность согласования по выходам с уровнями ТТЛ и 50-Омной линией.

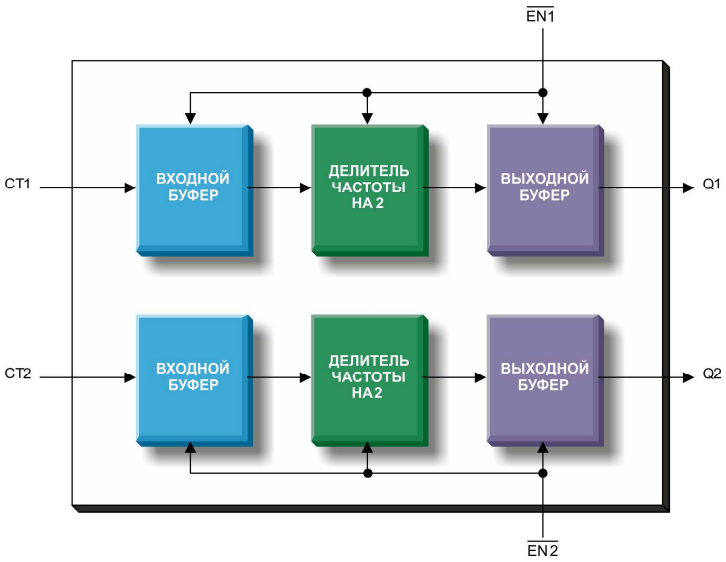
Максимальная частота входного сигнала, МГц
на входе СТ1……600
на входе СТ2……400
Минимальная частота входного сигнала, МГц……10
Мощность сигнала на входе СТ1, дБм……от 10 до 20
Напряжение питания, В ……+5±10%
Температурный диапазон, °С……от -60 до +125
Тип корпуса…… ……H04.16-1B



НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение выводов
CT1	Вход сигнала аналоговый
CT2	Вход сигнала цифровой
$\overline{EN1}$	Вход управления каналом с аналоговым входом
$\overline{EN2}$	Вход управления каналом с цифровым входом
Q1	Выход канала с аналоговым входом
Q2	Выход канала с цифровым входом

СТРУКТУРНАЯ СХЕМА



Микросхема содержит два канала деления:
- канал с аналоговым входом СТ1;
- канал с цифровым ТТЛ-входом СТ2.

На аналоговый вход СТ1 подается синусоидальный сигнал мощностью не менее 10 дБм.

Выходы каждого из каналов (Q1 и Q2) являются универсальными цифровыми и имеют возможность работы на ТТЛ-нагрузку и 50-Омную линию.

Каналы имеют независимые управляющие входы $\overline{EN1}$ и $\overline{EN2}$, сигналы на которых определяют состояние выхода.

При установке сигнала на управляющем входе в состояние логической единицы напряжение на выходе соответствующего канала равно уровню логического нуля.

ДЕЛИТЕЛЬ ЧАСТОТЫ С КОЭФФИЦИЕНТОМ ДЕЛЕНИЯ ПЯТЬ

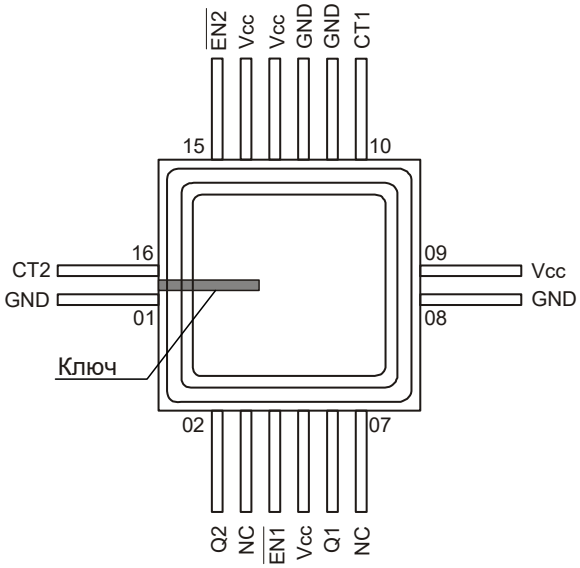
ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для деления частоты поступающих на ее входы последовательностей импульсов или синусоидального сигнала с коэффициентом деления пять.

Микросхема изготавливается по КМОП-технологии и обеспечивают возможность согласования по выходам с уровнями ТТЛ и 50-Омной линией.

Максимальная частота входного сигнала, МГц
- на входе СТ1……..……..600
- на входе СТ2……..……..400

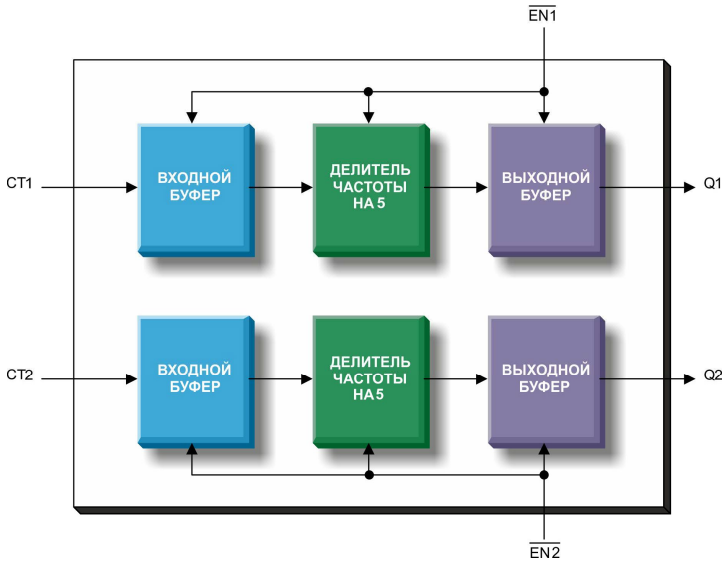
Минимальная частота входного сигнала, МГц……...30
Мощность сигнала на входе СТ1, дБм……..от 10 до 20
Напряжение питания, В ……..+5±10%
Температурный диапазон, °С……..от -60 до +125
Тип корпуса…… ……..H04.16-1B



НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение выводов
CT1	Вход сигнала аналоговый
CT2	Вход сигнала цифровой
$\overline{EN1}$	Вход управления каналом с аналоговым входом
$\overline{EN2}$	Вход управления каналом с цифровым входом
Q1	Выход канала с аналоговым входом
Q2	Выход канала с цифровым входом

СТРУКТУРНАЯ СХЕМА



Микросхема содержат два канала деления:
- канал с аналоговым входом СТ1;
- канал с цифровым ТТЛ-входом СТ2.

На аналоговый вход СТ1 подается синусоидальный сигнал мощностью не менее 10 дБм.

Выходы каждого из каналов (Q1 и Q2) являются универсальными цифровыми и имеют возможность работы на ТТЛ-нагрузку и 50-Омную линию.

Каналы имеют независимые управляющие входы $\overline{EN1}$ и $\overline{EN2}$, сигналы на которых определяют состояние выхода.

При установке сигнала на управляющем входе в состояние логической единицы напряжение на выходе соответствующего канала равно уровню логического нуля.

РЕПРОГРАММИРУЕМОЕ ПОСТОЯННОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С ЭЛЕКТРИЧЕСКИМ СТИРАНИЕМ 16К БИТ (2Кх8)

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

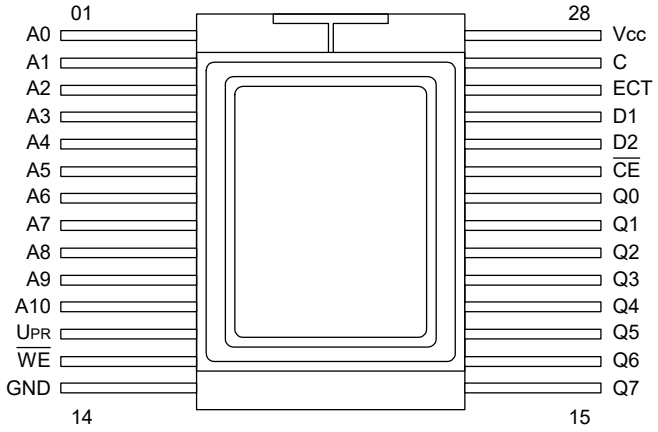
Микросхема предназначена для многократной записи, долговременного хранения и многократного считывания информации.

Информационная емкость, бит .....16К (2К×8)
Время выбора адреса, нс 25
Время выбора, нс 25
Время записи (программирования), мс.....10
Количество циклов перезаписи .....10^5
Время сохранности информации, лет .....не менее 10
Напряжение питания, В .....+5±10%
Температурный диапазон, °С.....от -60 до +125
Тип корпуса.....4119.28-6

Микросхема изготавливается по КМОП технологии и имеет ТТЛ-совместимые входы и выходы.

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение выводов
A	Входная шина адреса
Q	Двунаправленная шина данных
C	Вход сигнала синхронизации
$\overline{CE}$	Вход сигнала выбора микросхемы
$\overline{WE}$	Вход сигнала разрешения записи
ECT	Вход сигнала разрешения счета
D1	Вход первого сигнала управления
D2	Вход второго сигнала управления
U_{PR}	Вывод встроенного умножителя напряжения программирования



ФУНКЦИОНИРОВАНИЕ МИКРОСХЕМЫ

Блок формирования адреса (секвенсор адреса) осуществляет формирование исполнительного адреса ADR, непосредственно используемого для записи/чтения данных в микросхеме. Изменение значения исполнительного адреса происходит по переднему фронту сигнала синхронизации С в зависимости от значений сигналов на входах ECT, D1, D2:

ECT	D1	D2	Значение исполнительного адреса ADR
0	0	0	00000000000
1	0	0	10000000000
0	0	1	A
1	0	1	Хранение адреса
0	1	0	ADR + 1
1	1	0	Хранение адреса
0	1	1	ADR – 1
1	1	1	Хранение адреса

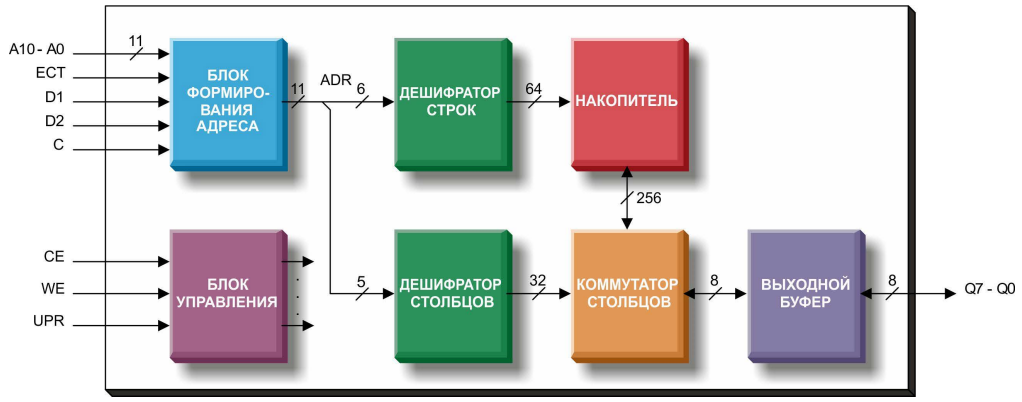
Режимы работы

$\overline{CE}$	$\overline{WE}$	ECT	D1	D2	Режим
0	1	X	X	X	Чтение
0	0	1	0	1	Запись (программирование)
1	X	X	X	X	Шина Q в «третьем» состоянии

X - произвольное значение сигнала (0 или 1).

Запись данных производится только при наличии комбинации входных сигналов ECT='1', D1='0', D2='1', что обеспечивает дополнительную защиту от несанкционированного стирания информации.

СТРУКТУРНАЯ СХЕМА



ЭНЕРГОНЕЗАВИСИМОЕ СТАТИЧЕСКОЕ ОПЕРАТИВНОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО (nvSRAM) 32К БИТ (4Кх8)

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для многократной записи, долговременного хранения и многократного считывания информации.

Информационная емкость, бит ……32K (4K×8)
Время выбора адреса, нс ……35
Время выбора, нс ……45
Время записи, нс……45
Время программирования, мс……10
Количество циклов перезаписи ……10^5
Время сохранности информации, лет ……не менее 10
Напряжение питания, В ……+5±10%
Температурный диапазон, °С……от -60 до +125
Тип корпуса……4119.28-6

Микросхема изготавливается по КМОП технологии и имеет ТТЛ-совместимые входы и выходы.

ФУНКЦИОНИРОВАНИЕ МИКРОСХЕМЫ

Для хранения одного бита информации в накопителе используется две ячейки – ячейка памяти статического ОЗУ и ячейка энергонезависимого элемента памяти.

Операции записи и чтения данных осуществляется с ячейками ОЗУ в соответствии с таблицей:

$\overline{CE}$	$\overline{WE}$	$\overline{OE}$	$\overline{HSB}$	Режим
0	1	0	1	Чтение
0	0	X	1	Запись
1	X	X	X	Шина Q в «третьем» состоянии

X - произвольное значение сигнала (0 или 1).

В микросхеме реализован механизм сохранения данных (операция STORE) и восстановления данных (операция RECALL).

При сохранении данных (программировании) вся информация из ячеек ОЗУ переписывается в ячейки ЭСППЗУ, а при восстановлении – из ячеек ЭСППЗУ переписывается в ячейки ОЗУ.

Выполнение операции STORE инициируется в следующих случаях:

- при снижении напряжения питания V_{CC} ниже порогового напряжения V_{SWITCH} (Automatic STORE);
- при выполнении последовательного чтения данных по фиксированным адресам (Software STORE);
- при подаче на вывод $\overline{HSB}$ сигнала логического нуля (Hardware STORE).

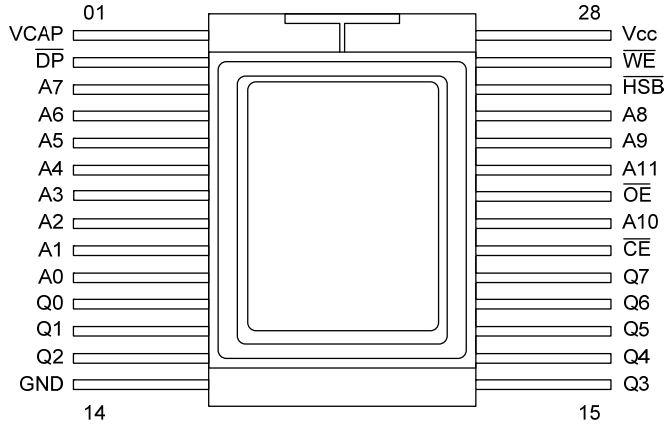
Выполнение операции RECALL инициируется в следующих случаях:

- при повышении напряжения питания V_{CC} выше порогового напряжения V_{SWITCH} (Automatic RECALL);

при выполнении последовательного чтения данных по фиксированным адресам (Software RECALL).

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение выводов
A	Входная шина адреса
Q	Двунаправленная шина данных
$\overline{CE}$	Вход сигнала выбора микросхемы
$\overline{WE}$	Вход сигнала разрешения записи
$\overline{OE}$	Вход сигнала разрешения выдачи данных
$\overline{HSB}$	Вход сигнала аппаратного сохранения данных / выход сигнала занятости микросхемы
$\overline{DP}$	Вход сигнала защиты данных от перезаписи
VCAP	Вывод для подключения внешнего конденсатора

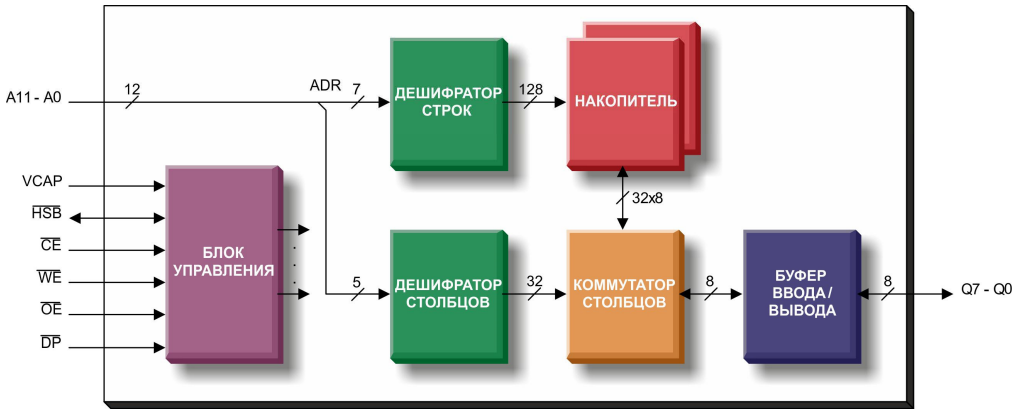


В микросхеме предусмотрена возможность запрета выполнения операции STORE (программирования) путем подачи сигнала логического нуля на вход $\overline{DP}$ (Data Protection).

Операции STORE и RECALL

Операция	Условие выполнения операции
Automatic STORE	$V_{CC} < V_{SWITCH}$ (V_{SWITCH} = 4,2 В)
Software STORE	Последовательное чтение по адресам 0x000, 0x555, 0xAAA, 0xFFF, 0x0F0, 0xF0F
Hardware STORE	$\overline{HSB}$ = 0
Automatic RECALL	$V_{CC} > V_{SWITCH}$ (V_{SWITCH} = 4,2 В)
Software RECALL	Последовательное чтение по адресам 0x000, 0x555, 0xAAA, 0xFFF, 0x0F0, 0xF0E

СТРУКТУРНАЯ СХЕМА



РЕПРОГРАММИРУЕМОЕ ПОСТОЯННОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С ЭЛЕКТРИЧЕСКИМ ПЕРЕПРОГРАММИРОВАНИЕМ 128 КБИТ (16Кх8/8Кх16)

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

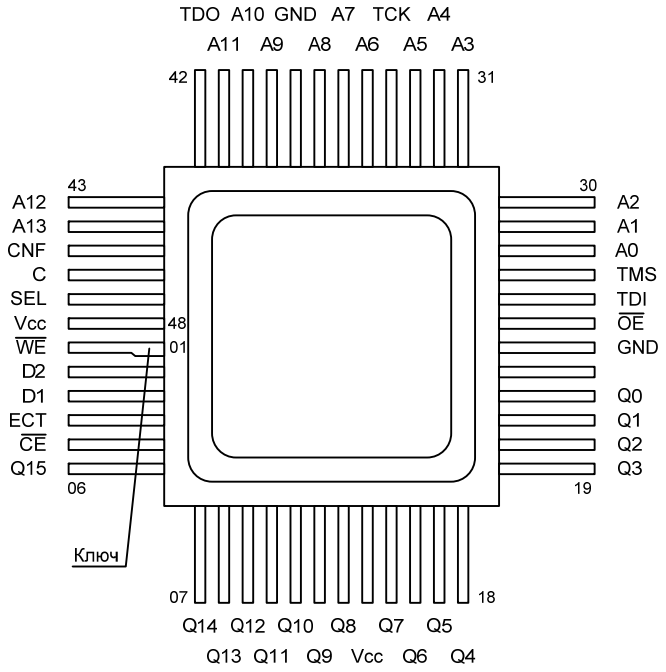
Микросхема предназначена для многократной записи, долговременного хранения и многократного считывания информации.

Информационная емкость, бит .....128К (16К×8/8К×16)
Время выбора адреса, нс 70
Время выбора, нс 70
Время программирования страницы, мс.....10
Размер страницы, бит.....512
Количество циклов перезаписи .....10^5
Время сохранности информации, лет .....не менее 10
Напряжение питания, В .....+5±10%
Температурный диапазон, °С.....от -60 до +125
Тип корпуса.....H16.48-1B

Микросхема изготавливается по КМОП технологии и имеет ТТЛ-совместимые входы и выходы.

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение выводов
A	Входная шина адреса
Q	Двунаправленная шина данных
C	Вход сигнала синхронизации
$\overline{CE}$	Вход сигнала выбора микросхемы
$\overline{WE}$	Вход сигнала разрешения записи
$\overline{OE}$	Вход сигнала разрешения выдачи данных
ECT	Вход сигнала разрешения счета
D1	Вход первого сигнала управления
D2	Вход второго сигнала управления
TDI	Вход данных в последовательном коде
TCK	Вход синхронизации последовательных данных
TMS	Вход выбора режима
TDO	Выход данных в последовательном коде
SEL	Вход сигнала выбора режима адресации
CNF	Вход сигнала конфигурации (16Кх8/8Кх16)



ФУНКЦИОНИРОВАНИЕ МИКРОСХЕМЫ

Блок формирования адреса (секвенсор адреса) осуществляет формирование исполнительного адреса ADR, непосредственно используемого для записи/чтения данных в микросхеме. Изменение значения исполнительного адреса происходит по переднему фронту сигнала синхронизации C в зависимости от значений сигналов на входах ECT, D1, D2:

ECT	D1	D2	Значение исполнительного адреса ADR
0	0	0	0000000000000
1	0	0	1000000000000
0	0	1	A
1	0	1	Хранение адреса
0	1	0	ADR + 1
1	1	0	Хранение адреса
0	1	1	ADR – 1
1	1	1	Хранение адреса

Помимо использования исполнительного адреса ADR в микросхеме предусмотрена прямая адресация с шины адреса A. Выбор способа адресации осуществляется при помощи сигнала SEL:
SEL='0' – используется исполнительный адрес ADR;
SEL='1' – используется прямая адресация с шины A.

Режимы работы

$\overline{CE}$	$\overline{WE}$	$\overline{OE}$	Режим
0	1	0	Чтение
0	0	X	Запись
1	X	X	Шина Q в «третьем» состоянии

X - произвольное значение сигнала (0 или 1).

Чтение данных осуществляется напрямую из накопителя через коммутатор столбцов и буфер ввода/вывода на шину Q.

Программирование микросхемы осуществляется постранично. Размер страницы составляет 512 бит (64 восьмиразрядных или 32 шестнадцатиразрядных слова). Данные предварительно загружаются в буфер страницы, содержащий 64 восьмиразрядных параллельных регистра. После заполнения всего буфера автоматически запускается механизм программирования микросхемы и вся информация, содержащаяся в буфере страницы, переписывается в накопитель.

Механизм программирования запускается также и в том случае, когда интервал времени между двумя последовательными записями данных в буфер страницы превышает 300 мкс.

Запись/чтение в микросхеме разрешается при $\overline{CE}$ ='0'.

При $\overline{CE}$ ='1' работа микросхемы блокируется и шина Q микросхемы переводится в «третье» состояние.

Микросхема имеет встроенный контроллер последовательного интерфейса, который позволяет выполнять запись/чтение данных под управлением персонального компьютера с использованием интерфейса стандарта IEEE 1149.1 (JTAG).

По последовательному входу TDI в микросхему может загружаться адрес записи/чтения, либо данные, предназначенные для записи в микросхему.

Поступающий адрес записывается в блок формирования адреса и выполняет роль исполнительного адреса ADR.

Поступающие данные записываются в буфер ввода/вывода и в дальнейшем используются при выполнении операции записи в микросхему.

На выход TDO в последовательном коде выдаются данные, считанные из микросхемы при выполнении операции чтения.

В микросхеме также реализован механизм формирования признака окончания цикла программирования (Data Polling and Toggle Bit).

СТРУКТУРНАЯ СХЕМА

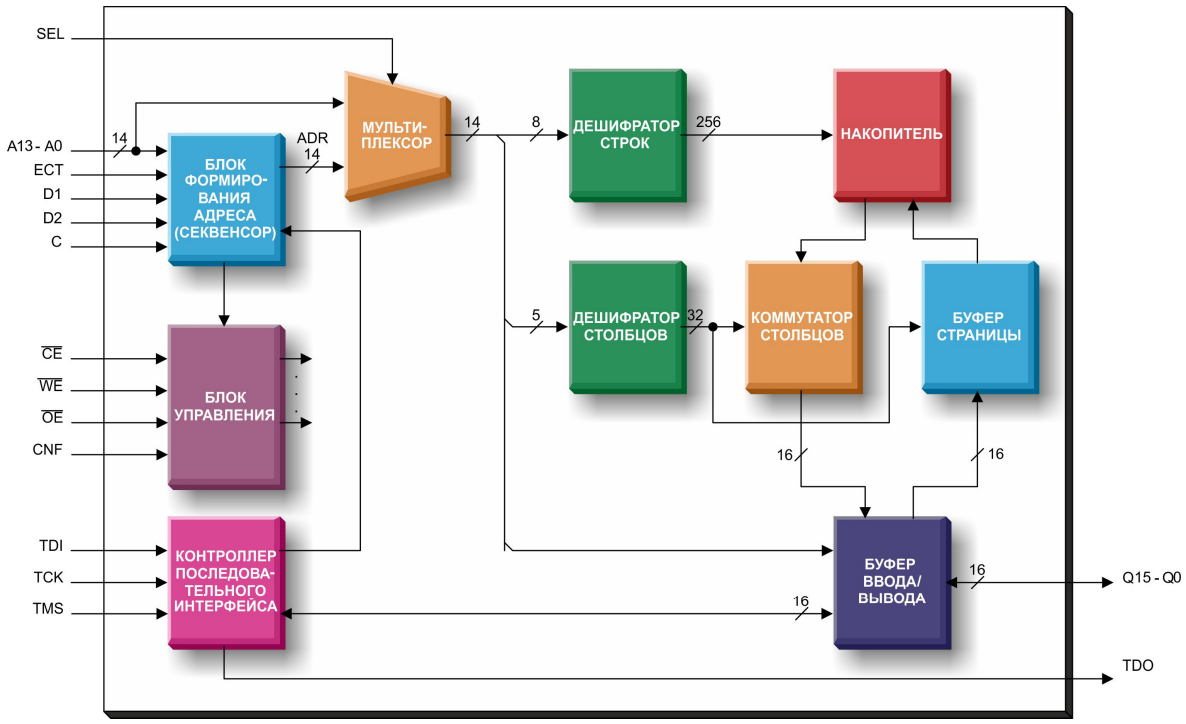


СХЕМА УПРАВЛЕНИЯ ЭЛЕМЕНТАМИ ИНДИКАЦИИ ЧЕТЫРЕХРАЗРЯДНОГО БУКВЕННО-ЦИФРОВОГО МАТРИЧНОГО ИНДИКАТОРА – АНАЛОГА SCE5744

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Ток потребления
в режиме «Выключено», мкА.....не более 50
Ток потребления в режиме «#»
на каждом из 4 разрядов, мкА.....не более 130
Частота внутреннего синхросигнала, кГц.....от 120 до 347
Частота внешнего синхросигнала, Гц.....от 120 до 3000
Напряжение питания, В .....+5±10%
Температурный диапазон, °С.....от -60 до +85
Исполнение.....бескорпусное
Технологический процесс .....КМОП

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение контактных площадок
DATA	Вход последовательных данных
SDCLK	Вход синхросигнала загрузки последовательных данных
LOAD	Вход сигнала разрешения загрузки последовательных данных
CLK	Вход/выход синхросигнала
CLKSEL	Вход сигнала выбора типа синхросигнала (внутренний или внешний)
RST	Вход сигнала сброса
COL	Выходы управления столбцами индикатора
ROW	Выходы управления строками индикатора

Микросхема предназначена для управления элементами индикации матричного индикатора, содержащего четыре светодиодных матрицы размером 5×7 точек (аналог SCE5744).

Ввод данных (инструкций, образов отображаемых символов, слов управления) в микросхему осуществляется с использованием последовательного интерфейса, который позволяет работать микросхеме в побайтном последовательном режиме с большинством типов микропроцессоров.

Для хранения образов отображаемых символов в микросхеме имеется встроенное двухпортовое ОЗУ емкостью 140 бит, где каждый бит непосредственно связан с определенным светодиодом индикатора.

Индивидуальная прямая адресация к любому светодиоду индикатора предоставляет пользователю широкие возможности по созданию и отображению специальных пользовательских символов или мини-иконок (User Defined Character – UDC).

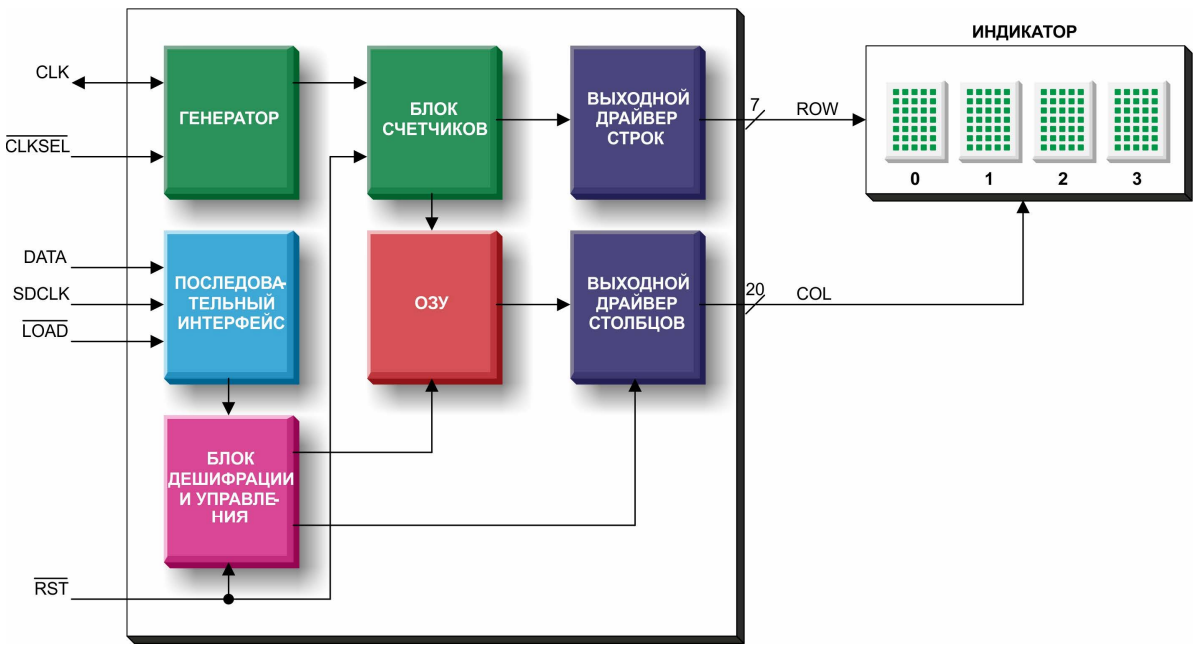
Образы четырех символов, хранящихся в ОЗУ, выводятся на индикатор и отображаются одновременно, построчно, с частотой, определяемой частотой внутреннего генератора (при CLKSEL = 1), либо частотой внешнего синхросигнала (при CLKSEL = 0).

Построчный вывод реализуется путем последовательного сканирования строк индикатора и считывания из ОЗУ данных, соответствующих значениям столбцов всех четырех символов для выбранной строки.

Микросхема обеспечивает:

- возможность грубой и точной регулировки яркости индикатора;
- возможность использования встроенного прескалятора (делителя на шестнадцать) для уменьшения частоты синхросигнала;
- программную очистку индикатора;
- аппаратный асинхронный сброс (начальную установку) при помощи сигнала RST.

СТРУКТУРНАЯ СХЕМА



ШЕСТЬ ТРИГГЕРОВ ШМИТТА (ФУНКЦИОНАЛЬНЫЙ АНАЛОГ HCC40106)

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Напряжение питания, В……..+5±10%
Температурный диапазон, °С……...от -60 до +125
Тип корпуса……....401.14-5

Технологический процесс – КМОП.

НАЗНАЧЕНИЕ ВЫВОДОВ

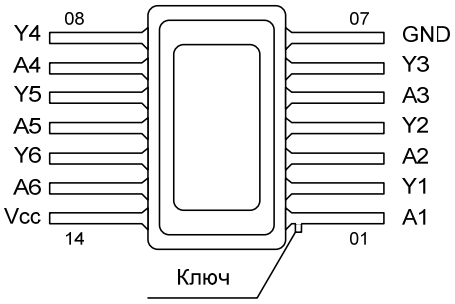
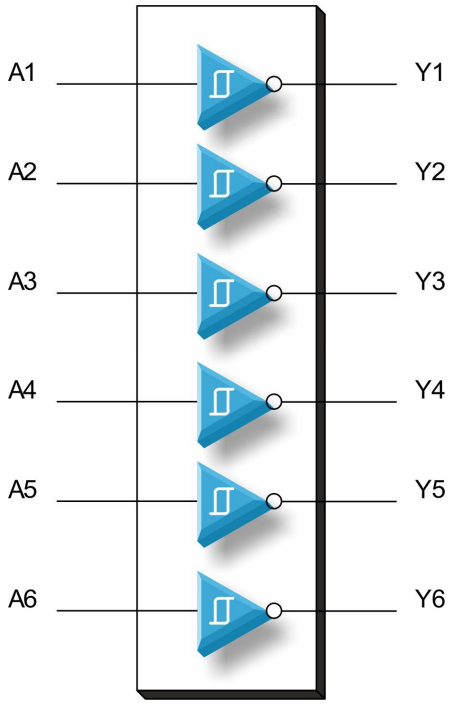


ТАБЛИЦА ФУНКЦИОНИРОВАНИЯ

Вход	Выход
A	Y
H	L
L	H

СТРУКТУРНАЯ СХЕМА



СПЕЦИАЛИЗИРОВАННЫЙ КОНТРОЛЛЕР МАНЧЕСТЕРСКОГО КОДА

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

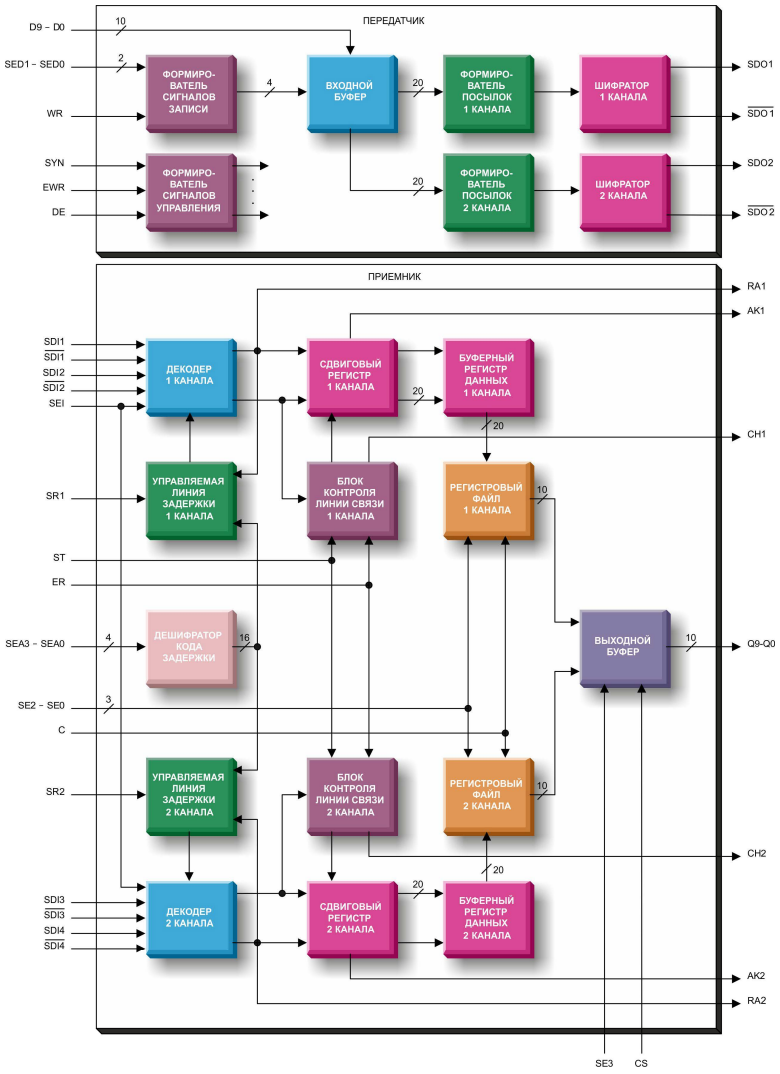
Микросхема предназначена для построения систем передачи данных по последовательным каналам связи с использованием кода «Манчестер-II».

Количество каналов на передачу……..……..2
Количество каналов на прием…..……..2
Разрядность передаваемых/принимаемых данных, бит……..……20
Напряжение питания, В……+5±10%
Температурный диапазон, °С……...от -60 до +125
Исполнение*……...бескорпусное

* Возможна поставка микросхем в корпусном исполнении (тип корпуса – по согласованию с потребителем).

Микросхема изготавливается по КМОП технологии и имеет ТТЛ-совместимые входы и выходы.

СТРУКТУРНАЯ СХЕМА



НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение
D	Входная шина данных передатчика
WR	Вход сигнала записи данных передатчика
SED0	Первый вход адреса записи данных передатчика
SED1	Второй вход адреса записи данных передатчика
EWR	Вход строба инициализации начала передачи данных
DE	Вход сигнала разрешения передачи данных
SYN	Вход синхросигнала передатчика
SDO1	Выход первого канала передатчика прямой
$\overline{\text{SDO1}}$	Выход первого канала передатчика инверсный
SDO2	Выход второго канала передатчика прямой
$\overline{\text{SDO2}}$	Выход второго канала передатчика инверсный
SDI1	Вход данных приемника первого канала прямой (основной)
$\overline{\text{SDI1}}$	Вход данных приемника первого канала инверсный (основной)
SDI2	Вход данных приемника первого канала прямой (дополнительный)
$\overline{\text{SDI2}}$	Вход данных приемника первого канала инверсный (дополнительный)
SDI3	Вход данных приемника второго канала прямой (основной)
$\overline{\text{SDI3}}$	Вход данных приемника второго канала инверсный (основной)
SDI4	Вход данных приемника второго канала прямой (дополнительный)
$\overline{\text{SDI4}}$	Вход данных приемника второго канала инверсный (дополнительный)
SEI	Вход выбора потока последовательных данных
SEA	Входная шина установки кода задержки
SR1	Вход внешней линии задержки первого канала
SR2	Вход внешней линии задержки второго канала
RA1	Выход выделенного синхросигнала первого канала
RA2	Выход выделенного синхросигнала второго канала
AK1	Выход сигнала приема слова данных первого канала
AK2	Выход сигнала приема слова данных второго канала
ST	Вход строба контроля исправности линии связи
ER	Вход сигнала разрешения обнуления принятых данных
CH1	Выход сигнала исправности линии связи первого канала
CH2	Выход сигнала исправности линии связи второго канала
C	Вход синхросигнала регистровых файлов
SE	Входная шина кода адреса регистровых файлов
CS	Вход разрешения выдачи данных на шину Q
SE3	Вход сигнала выбора канала выдачи данных приемника
Q	Выходная шина данных приемника

ФУНКЦИОНИРОВАНИЕ ПЕРЕДАТЧИКА

Передатчик является двухканальным и обеспечивает прием двух 20-разрядных двоичных слов (по первому и второму каналам) последовательно по 10 бит каждое, преобразование их в код «Манчестер-II» и выдачу прямых и инверсных значений результатов преобразования на выходы микросхемы.

Входные 10-разрядные слова D_1, D_2, D_3, D_4 подаются последовательно на шину D.

Синхронно с ними на шину SED подаются соответствующие коды адресов записи (“00”, “01”, “10”, “11”), а на вход WR – четыре отрицательных импульса. Из указанных сигналов формируются сигналы записи данных D_1, D_2, D_3, D_4 в соответствующие регистры входного буфера передатчика.

После приема входных данных по сигналу EWR они переписываются в формирователи посылок первого и второго каналов, в которых формируются 24-разрядные посылки данных, имеющие следующую структуру:

1 канал

заголовок	данные		стоп-бит
001	D2	D1	0

2 канал

заголовок	данные		стоп-бит
001	D4	D3	0

Сформированные посылки в последовательном коде (старшими разрядами вперед) поступают в шифраторы первого и второго каналов, где производится их преобразование в код «Манчестер-II».

Синхронизация выдачи посылок в последовательном коде и преобразования их в код «Манчестер-II» осуществляется сигналом SYN.

Результаты преобразования выдаются на выходы передатчика в прямой и инверсной фазе по первому каналу SDO1, $\overline{\text{SDO1}}$ и второму каналу SDO2, $\overline{\text{SDO2}}$.

Передача входных данных осуществляется при наличии единичного значения сигнала DE. При значении сигнала DE, равном нулю, осуществляется блокировка выходов формирователей посылок и на выход передатчика будут выдаваться последовательности, соответствующие нулю кодируемой информации.

ФУНКЦИОНИРОВАНИЕ ПРИЕМНИКА

Приемник, как и передатчик, является двухканальным.

На входы первого канала приемника поступают парафазные данные в коде «Манчестер-II» по основному каналу (SDI1, $\overline{\text{SDI1}}$) и дополнительному каналу (SDI2, $\overline{\text{SDI2}}$).

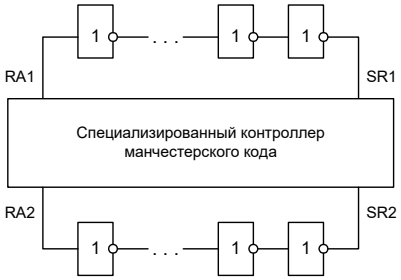
На входы второго канала приемника поступают парафазные данные в коде «Манчестер-II» по основному каналу (SDI3, $\overline{\text{SDI3}}$) и дополнительному каналу (SDI4, $\overline{\text{SDI4}}$).

Выбор основных или дополнительных каналов приемника осуществляется по сигналу SEI.

Данные поступают на устройства декодирования, которые выполняют преобразование их из кода «Манчестер-II» в последовательный двоичный код.

Настройка декодеров на частоту упаковки входных данных осуществляется при помощи выбора кода задержки SEA, который управляет соответствующими линиями задержки.

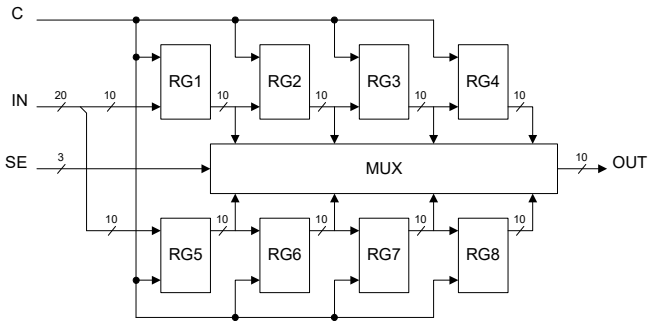
При значении SEA = “1111” для настройки на частоту упаковки используется внешняя задержка, подключаемая к выводам SR1 и RA1 для первого канала и SR2 и RA2 для второго канала.



Декодированные данные в последовательном коде поступают на входы сдвиговых регистров первого и второго каналов.

В сдвиговых регистрах производится анализ принимаемой информации. При обнаружении в старших разрядах заголовка и в младшем разряде стоп-бита формируются сигналы подтверждения приема слова AK1 и AK2. При этом 20-разрядные данные, содержащиеся в посылке, переписываются в буферные регистры.

Данные с выходов буферных регистров по сигналу C записываются в регистровые файлы, построенные по принципу FIFO.



Выдача информации из регистровых файлов осуществляется через мультиплексор MUX, который выдает на выход OUT данные с выхода одного из восьми регистров RG1 – RG8 в соответствии с таблицей:

Код SE	Выход регистра
000	RG1
001	RG5
010	RG2
011	RG6
100	RG3
101	RG7
110	RG4
111	RG8

Выходной буфер обеспечивает выдачу на выход Q данных с одного из двух каналов приемника. Выбор канала осуществляется сигналом SE3.

Блоки контроля предназначены для контроля исправности линий связи.

Для проведения контроля в передатчике значение сигнала DE устанавливается равным нулю. При этом в линию связи будет выдаваться последовательность, соответствующая нулю кодируемой информации.

В приемнике на время контроля на вход ST подается сигнал логической единицы, во время действия которого в блоках контроля осуществляется анализ принимаемой информации.

Если во время контроля будут приняты все нули, то на выходах CH1 (CH2) будут сформированы сигналы положительной полярности, равные по длительности сигналу на входе ST.

Если во время контроля будет принята хотя бы одна единица, то в момент ее приема сигнал CH1 (CH2) примет нулевое значение и при наличии единичного значения сигнала ER произойдет обнуление сдвиговых регистров приемника.

Критерием исправности линии связи является идентичность сигналов ST и CH1 (CH2).

СПЕЦИАЛИЗИРОВАННЫЙ ПРОЦЕССОР ПОРОГОВО-ЛОГИЧЕСКОЙ ОБРАБОТКИ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для реализации обработки входного сигнала на основе формирования адаптивного порога и оценки среднего значения.

Микросхема может быть использована для построения следующих устройств:

- адаптивного порогового устройства, обеспечивающего заданный уровень ложных тревог в условиях комбинированных помех;
- адаптивного ограничителя мощности процесса;
- устройства вычитания постоянной составляющей процесса.

Разрядность входных данных, бит……....17
Разрядность результата, бит……..17
Длина «скользящего» окна……10, 15, 20
Метод формирования порога…… ….на основе порядковых статистик
Напряжение питания, В……..……..+5±10%
Температурный диапазон, °С……...от -60 до +125
Исполнение*……...бескорпусное

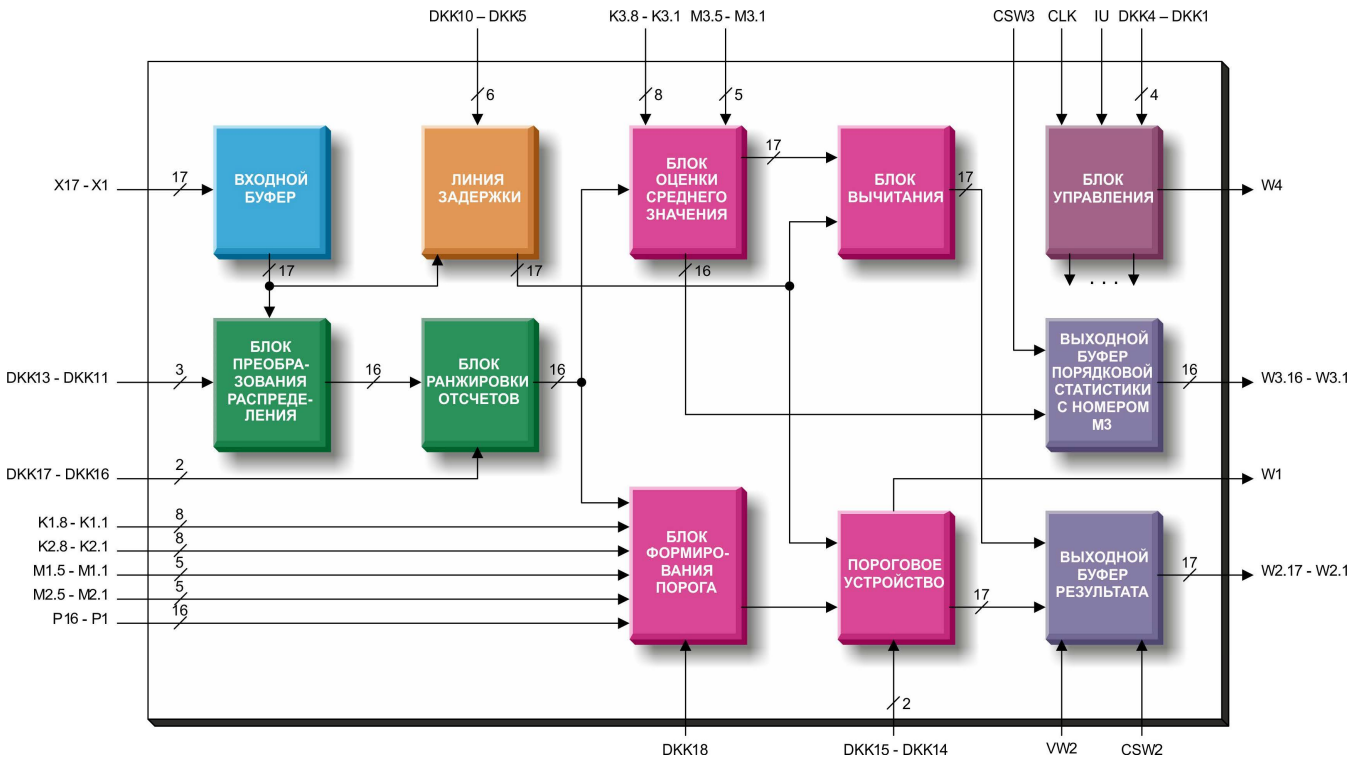
* Возможна поставка микросхем в корпусном исполнении (тип корпуса – по согласованию с потребителем).

Микросхема изготавливается по КМОП технологии и имеет ТТЛ-совместимые входы и выходы.

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение
X	Входная шина данных
DKK	Входная шина кода конфигурации
K1	Входная шина коэффициента для расчета порога
K2	Входная шина коэффициента для расчета порога
K3	Входная шина коэффициента для расчета оценки среднего значения
M1	Входная шина кода номера порядковой статистики для расчета порога
M2	Входная шина кода номера порядковой статистики для расчета порога
M3	Входная шина кода номера порядковой статистики для расчета оценки среднего значения
P	Входная шина пороговой величины
IU	Вход сигнала начальной установки
CLK	Вход синхросигнала
VW2	Вход сигнала управления выходной шиной W2
CSW2	Вход сигнала разрешения выдачи данных на шину W2
CSW3	Вход сигнала разрешения выдачи данных на шину W3
W1	Выход сигнала превышения порога
W2	Выходная шина результата
W3	Выходная шина порядковой статистики с номером M3
W4	Выход сигнала приема входных данных

СТРУКТУРНАЯ СХЕМА



ОРГАНИЗАЦИЯ ВЫЧИСЛЕНИЙ

Перед началом работы на вход IU подается отрицательный импульс, по которому все внутренние регистры устанавливаются в нуль.

Загрузка входных данных по шине X начинается после прихода положительного фронта сигнала IU. Запись отсчетов данных во входной буфер выполняется отрицательным фронтом сигнала CLK с темпом $T_П=12\cdot T_{CLK}$.

Запись первого отсчета данных осуществляется i-м ($i=\overline{1,12}$) импульсом CLK. Значение i определяется кодом задержки вычислений (разряды DKK[4:1] кода конфигурации).

Проинвертированные импульсы синхросигнала CLK, по которым производится запись входных данных, выдаются на выход W4.

С выхода буфера информация поступает на входы линии задержки и блока преобразования распределения.

Блок преобразования распределения осуществляет преобразование распределения входного процесса на основе «скачущего» окна путем замены оценки моментов распределения входного процесса Xi оценкой квантилей преобразованного процесса Yk в соответствии с выражениями:

размерность «скачущего» окна равна K=2

$$\begin{aligned} Y_1 &= \max(|X_1|,|X_2|),\\ Y_2 &= \max(|X_3|,|X_4|), \end{aligned} \qquad (1)$$

и т.д.;

размерность «скачущего» окна равна K=3

$$\begin{aligned} Y_1 &= \max(|X_1|,|X_2|,|X_3|),\\ Y_2 &= \max(|X_4|,|X_5|,|X_6|), \end{aligned} \qquad (2)$$

и т.д.;

размерность «скачущего» окна равна K=4

$$\begin{aligned} Y_1 &= \max(|X_1|,|X_2|,|X_3|,|X_4|),\\ Y_2 &= \max(|X_5|,|X_6|,|X_7|,|X_8|), \end{aligned} \qquad (3)$$

и т.д.;

размерность «скачущего» окна равна K=4

$$\begin{aligned} Y_1 &= |X_1|+|X_2|+|X_3|+|X_4|,\\ Y_2 &= |X_5|+|X_6|+|X_7|+|X_8|, \end{aligned} \qquad (4)$$

и т.д.;

размерность «скачущего» окна равна K=5

$$\begin{aligned} Y_1 &= \max(|X_1|,|X_2|,|X_3|,|X_4|,|X_5|),\\ Y_2 &= \max(|X_6|,|X_7|,|X_8|,|X_9|,|X_{10}|), \end{aligned} \qquad (5)$$

и т.д.

Выбор варианта организации преобразования распределения осуществляется при помощи задания кода преобразования (разряды DKK[13:11] кода конфигурации).

С выхода блока преобразования распределения отсчеты Yk поступают на блок ранжировки отсчетов. Разрядность отсчетов Yk составляет 16 бит (знаковый разряд отсутствует). Это определяется тем, что формирование отсчетов Yk осуществляется с использованием модулей входных отсчетов Xi.(выражения 1-5).

Блок ранжировки осуществляет сортировку отсчетов Yk в порядке убывания, после чего они становятся порядковыми статистиками:

$$Y^{(1)} \ge Y^{(2)} \ge Y^{(3)} \ge \ldots \ge Y^{(L)},$$

где $L\in\{10, 15, 20\}$.

Значение L определяется кодом окна ранжировки (разряды DKK[17:16] кода конфигурации).

Полученные порядковые статистики поступают на входы блока формирования оценки среднего значения процесса и блока формирования порога.

Оценка среднего значения процесса A и порог B формируются в соответствии с выражениями:

$$A = K3\cdot Y^{(M3)}; \qquad (6)$$

$$B = K1\cdot Y^{(M1)} + K2'\cdot Y^{(M2)}; \qquad (7)$$

где Y(M1), Y(M2), Y(M3) – порядковые статистики с заданными номерами M1, M2, M3;

K1, K2', K3 – заданные коэффициенты, причем

$$K2' = \begin{cases} K2, \text{если } Y^{(max)} > P;\\ 0, \quad \text{если } Y^{(max)} \le P. \end{cases}$$

Здесь Y(max) – статистика с максимальным порядковым номером L; P – заданная пороговая величина.

Значения K1, K2, K3, M1, M2, M3, P подаются на соответствующие входные шины микросхемы.

Оценка среднего значения процесса A в дальнейшем делится на 2^7, а порог B – на 2^3 или 2^7 в зависимости от значения старшего разряда кода конфигурации DKK[18].

Промасштабированная величина A, представленная 16-разрядным кодом без знака, поступает на вход блока вычитания, куда также подаются данные с выхода линии задержки.

Линия задержки предназначена для задержки входных отсчетов на время, необходимое для формирования соответствующих значений оценки среднего A и порога B. Задержка задается кодом задержки (разряды DKK[10:5] кода конфигурации) и рассчитывается в соответствии с выражением:

$$Nz = \frac{L\cdot K}{2}$$

где L – длина окна ранжировки;

K – размерность «скачущего» окна преобразователя распределения.

Устройство вычитания реализует операцию:

$$Q = Xz - A, \qquad (8)$$

где A – оценка среднего значения процесса, вычисляемая согласно (6),

Xz – отсчет входного сигнала, задержанный в блоке задержки на время формирования величины A.

Пороговое устройство в зависимости от значений разрядов кода конфигурации DKK[15:14] реализует следующие четыре операции:

DKK[15:14] = “00”

$$R = \begin{cases} Xz, & \text{если } |Xz| \le B;\\ B\cdot \text{sign}(Xz), & \text{если } |Xz| > B; \end{cases}$$

DKK[15:14] = “01”

$$R = Xz;$$

DKK[15:14] = “10”

$$R = Xz - B;$$

DKK[15:14] = “11”

$$R = B;$$

где B – порог, вычисляемый согласно (7),

Xz – отсчет входного сигнала, задержанный на время формирования порога B,

sign(Xz) – знак отсчета Xz.

Кроме того, пороговое устройство формирует сигнал превышения порога, который выдается на выход W1 и вычисляется в соответствии с выражением:

$$W1 = \begin{cases} 1, \text{ если } |Xz| \ge B;\\ 0, \text{ если } |Xz| < B. \end{cases}$$

Величины Q и R поступают на выходной буфер, который осуществляет выдачу на выход W2 результата:

$$W2 = \begin{cases} R, \text{ если } VW2 = 0;\\ Q, \text{ если } VW2 = 1. \end{cases}$$

На выход W3 выдается порядковая статистика с номером M3:

$$W3 = Y^{(M3)}.$$

Сигналы CSW2 и CSW3 предназначены для перевода выходных шин W2 и W3 в «третье» состояние.

ТРЕХКАНАЛЬНЫЙ АВТОКОМПЕНСАТОР

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для построения систем автокомпенсации, выполненных по схеме корреляционного типа, с количеством компенсационных каналов – до трех.

Кроме того, микросхема может быть использована для реализации схем ортогонализации компенсационных каналов, основанных на алгоритме Грамма-Шмидта.

Разрядность входных данных, бит……..12
Разрядность коэффициентов, бит……..12
Разрядность результата, бит……12
Напряжение питания, В……+5±10%
Температурный диапазон, °С……от -60 до +125
Исполнение*……бескорпусное

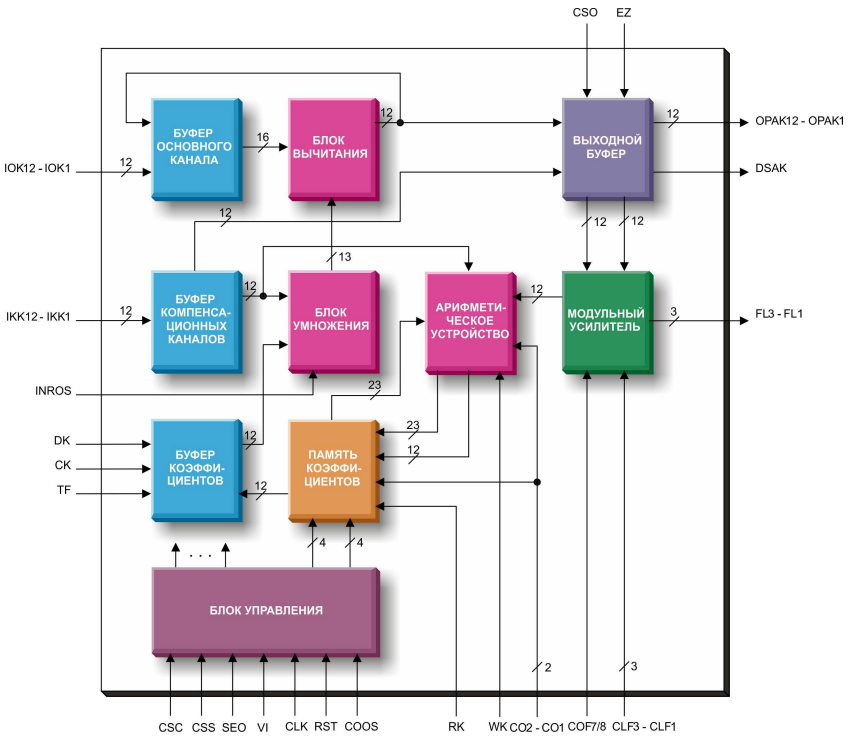
* Возможна поставка микросхем в корпусном исполнении (тип корпуса – по согласованию с потребителем).

Микросхема изготавливается по КМОП технологии и имеет ТТЛ-совместимые входы и выходы.

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение
IOK	Входная шина основных каналов
IKK	Входная шина компенсационных каналов
DK	Вход загрузки коэффициентов в последовательном коде
CK	Вход синхросигнала загрузки коэффициентов в последовательном коде
RK	Вход сигнала обнуления коэффициентов
WK	Вход сигнала разрешения записи коэффициентов
TF	Вход сигнала управления коэффициентами
CLK	Вход основного синхросигнала
RST	Вход сигнала синхронизации квантов вычислений
VI	Вход сигнала инициализации вычислений по одному каналу
INROS	Вход сигнала отключения компенсационных каналов
COOS	Вход сигнала управления обратной связью
CLF	Входная шина коэффициента усиления модульного усилителя
COF7/8	Вход сигнала управления модульным усилителем
CO	Входная шина кода разрядности интегратора
CSC	Вход сигнала управления косинусной квадратурой результата
CSS	Вход сигнала управления синусной квадратурой результата
SEO	Вход сигнала управления упаковкой результата
EZ	Вход сигнала разрешения выдачи результата на шину OPAK
CSO	Вход сигнала управления выдачей результата в последовательном коде
OPAK	Выходная шина результата вычислений
DSAK	Выход результата в последовательном коде
FL	Выходная шина коэффициента усиления модульного усилителя

СТРУКТУРНАЯ СХЕМА



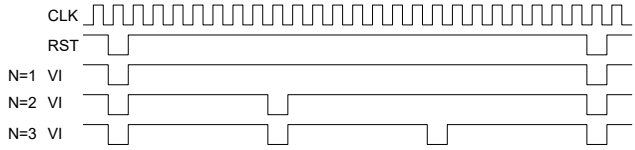
ОРГАНИЗАЦИЯ ВЫЧИСЛЕНИЙ

Обработка информации в микросхеме осуществляется по циклам и квантам.

Цикл вычислений определяется периодом следования сигнала RST и составляет 24 периода сигнала CLK.

Квант вычислений определяется периодом следования сигнала VI и составляет 8 периодов сигнала CLK.

В каждом цикле может быть от одного до трех квантов в зависимости от числа N основных или компенсационных каналов, используемых для вычислений.



Автокомпенсатор работает в двух режимах:

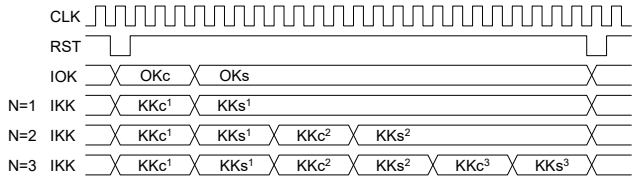
- многоканальном (сигнал COOS =1);
- одноканальном (сигнал COOS =0).

ЗАГРУЗКА ВХОДНЫХ ДАННЫХ

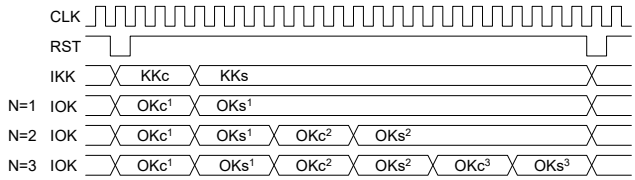
На входы автокомпенсатора подаются:

- отсчеты косинусных и синусных квадратур основных каналов OKc и OKs (шина IOK);
- отсчеты косинусных и синусных квадратур компенсационных каналов KKc и KKs (шина IKK).

Многоканальный режим



Одноканальный режим



РЕЖИМЫ РАБОТЫ

В k-м цикле работы автокомпенсатора выполняются вычисления в соответствии с выражениями:

многоканальный режим

$$\begin{cases} AKc_k^i = OKc_k - (\sum_{i=1}^{N} KKc_k^i \cdot \alpha cc_{k-1}^i + \sum_{i=1}^{N} KKs_k^i \cdot \alpha cs_{k-1}^i); \\ AKs_k^i = OKs_k - (\sum_{i=1}^{N} KKc_k^i \cdot \alpha sc_{k-1}^i + \sum_{i=1}^{N} KKs_k^i \cdot \alpha ss_{k-1}^i); \end{cases} \quad (1)$$

одноканальный режим

$$\begin{cases} AKc_k^i = OKc_k^i - (KKc_k \cdot \alpha cc_{k-1}^i + KKs_k^i \cdot \alpha cs_{k-1}^i); \\ AKs_k^i = OKs_k^i - (KKc_k \cdot \alpha sc_{k-1}^i + KKs_k^i \cdot \alpha ss_{k-1}^i); \end{cases} \quad (2)$$

где $i = \overline{1,N}$;

$N = \overline{1,3}$ (определяется числом используемых основных или компенсационных каналов);

OKc_k^i, OKs_k^i - значения косинусной и синусной квадратур i-го основного канала;

KKc_k^i, KKs_k^i – значения косинусной и синусной квадратур i-го компенсационного канала;

$\alpha cc_{k-1}^i, \alpha cs_{k-1}^i, \alpha sc_{k-1}^i, \alpha ss_{k-1}^i$ – значения адаптивных коэффициентов, рассчитанных в предыдущем (k-1)-м цикле вычислений;

AKc_k^i, AKc_k^i – значения косинусной и синусной квадратур i-го результата.

При единичном значении сигнала на входе INROS компенсационные каналы отключаются, и отсчеты квадратур основных каналов поступают на выход автокомпенсатора без изменений.

РАСЧЕТ КОЭФФИЦИЕНТОВ

Помимо вычислений в соответствии с выражениями (1) и (2) в k-м цикле осуществляется также расчет адаптивных коэффициентов $\tilde{\alpha}cc_k^i$, $\tilde{\alpha}cs_k^i$, $\tilde{\alpha}sc_k^i$, $\tilde{\alpha}ssc_k^i$ ($i = \overline{1,3}$), которые будут использованы в следующем (k+1)-м цикле.

Расчетные коэффициенты представлены 23-разрядным дополнительным кодом и хранятся в СОЗУ коэффициентов.

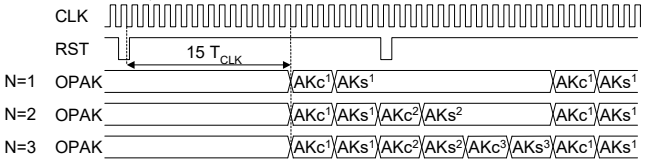
Коэффициенты αcc_k^i, αcs_k^i, αsc_k^i, αss_k^i ($i = \overline{1,3}$), используемые в вычислениях в соответствии с выражениями (1) или (2) представлены 12-разрядным дополнительным кодом и получаются из расчетных 23-разрядных коэффициентов путем их масштабирования.

ВЫДАЧА РЕЗУЛЬТАТОВ

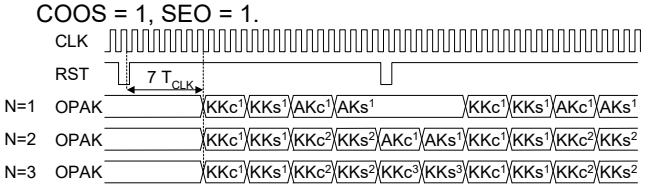
Состав информации, выдаваемой на выходную шину OPAK, определяется значениями сигналов COOS, SEO, CSC, CSS.

Многоканальный режим

COOS = 1, SEO = 0

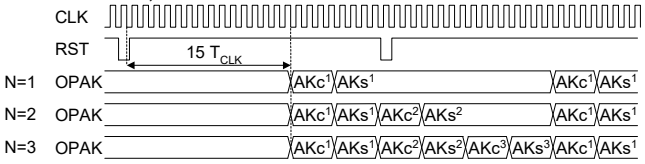


COOS = 1, SEO = 1.

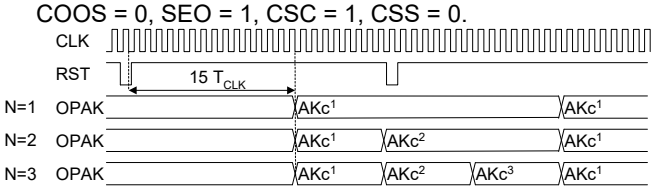


Одноканальный режим

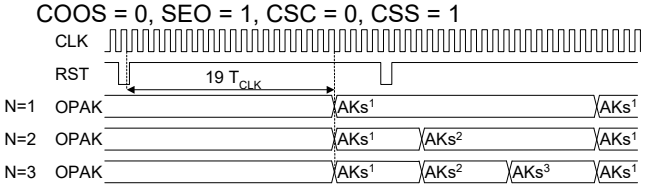
COOS = 0, SEO = 0.



COOS = 0, SEO = 1, CSC = 1, CSS = 0.



COOS = 0, SEO = 1, CSC = 0, CSS = 1



Режимы выдачи COOS = 0, SEO = 1, CSC = 0, CSS = 0 и COOS = 0, SEO = 1, CSC = 1, CSS = 1 аналогичны режиму COOS = 0, SEO = 0.

В автокомпенсаторе также предусмотрена возможность выдачи результатов в последовательном коде на выход DSAK.

ЦИФРОВОЙ ФИЛЬТР

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для построения высокопроизводительных систем цифровой обработки сигналов.

Микросхема может быть эффективно использована для реализации как широкого круга задач цифровой фильтрации, так и других, близких по своей математической основе алгоритмов цифровой обработки сигналов.

Разрядность входных данных, бит……12
Разрядность коэффициентов, бит……...12
Разрядность результата, бит……..27
Напряжение питания, В……..……+5±10%
Температурный диапазон, °С……...от -60 до +125
Исполнение*……..бескорпусное

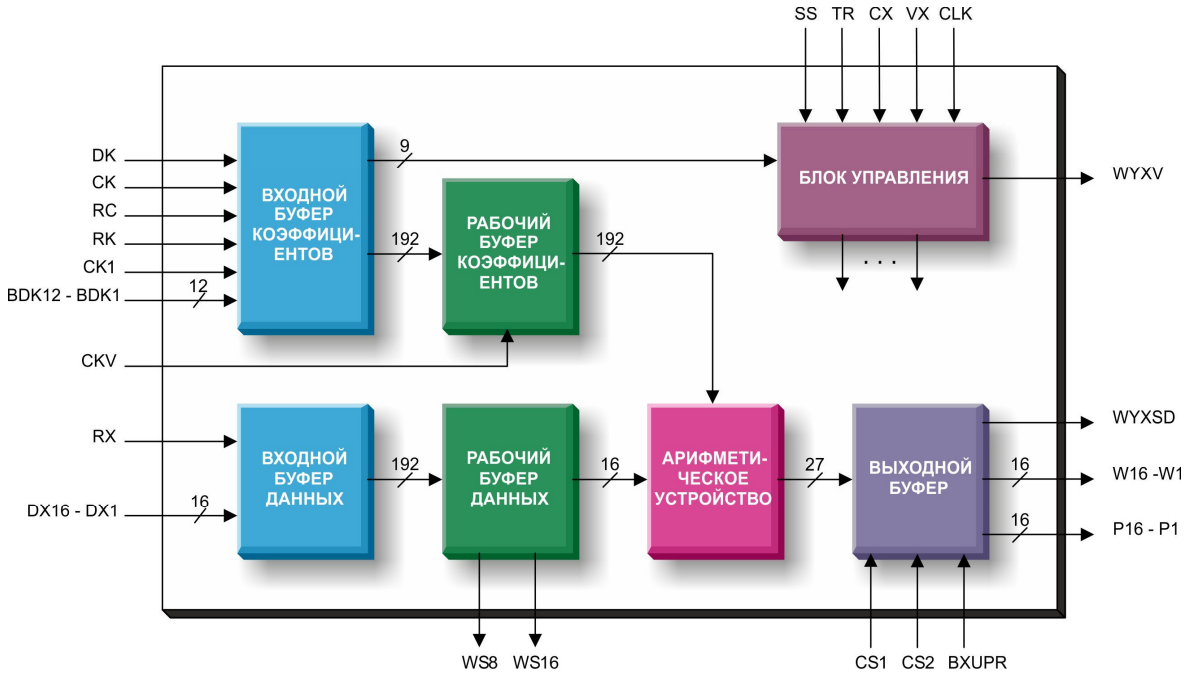
* Возможна поставка микросхем в корпусном исполнении (тип корпуса – по согласованию с потребителем).

Микросхема изготавливается по КМОП технологии и имеет ТТЛ-совместимые входы и выходы.

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение
DX	Входная шина данных
CX	Вход сигнала разрешения записи данных
RX	Вход сигнала сброса регистров буфера данных
BDK	Входная шина коэффициентов
CK	Вход синхросигнала записи коэффициентов и кода конфигурации
DK	Вход коэффициентов и кода конфигурации в последовательном коде
CK1	Вход синхросигнала записи коэффициентов
CKV	Вход сигнала записи коэффициентов в рабочий буфер
RK	Вход сигнала сброса регистров буфера коэффициентов
RC	Вход сигнала предустановки буфера коэффициентов
SS	Вход сигнала записи кода конфигурации
CLK	Вход основного синхросигнала
TR	Вход асинхронного сброса
VX	Вход сигнала инициализации вычислений
CS1	Вход сигнала разрешения выдачи результата на шину W
CS2	Вход сигнала разрешения выдачи результата на шину P
BXUPR	Вход сигнала разрешения выдачи результатов вычислений в последовательном коде
WYXV	Выход сигнала готовности результатов вычислений
W	Выходная шина старших разрядов результата
P	Выходная шина младших разрядов результата
WYXSD	Выход результата в последовательном коде
WS16	Второй выход буфера данных в последовательном коде
WS8	Первый выход буфера данных в последовательном коде

СТРУКТУРНАЯ СХЕМА



ОСНОВНЫЕ ОПЕРАЦИИ

Микросхема обеспечивает реализацию следующих операторов цифровой обработки сигналов:

- скалярное произведение двух векторов (весовое суммирование):

$$S = \sum_{k=0}^{15} X(k) \cdot C(k); \qquad (1)$$

- шестнадцатиточечная свертка для одного потока входных данных

$$S(i) = \sum_{k=0}^{15} X(i-k) \cdot C(k); \qquad (2)$$

- сумма двух восьмиточечных сверток для двух потоков входных данных

$$S(i) = \sum_{k=0}^{7} X1(i-k) \cdot C(k) + \sum_{k=0}^{7} X2(i-k) \cdot C(k+8). \qquad (3)$$

В выражениях (1) – (3) обозначены:
S – результат вычислений;
X(k) – k-й элемент вектора входных данных;
C(k) – k-й элемент вектора коэффициентов.

ЗАГРУЗКА КОДА КОНФИГУРАЦИИ

Код конфигурации представляет собой 9-разрядное командное слово, которое загружается перед началом работы в специальный регистр устройства управления (регистр конфигурации).

Код конфигурации определяет режимы загрузки коэффициентов и входных данных, выполняемую операцию, а также режимы выдачи и формат результата вычислений.

Код конфигурации загружается по входу DK поразрядно старшими разрядами вперед. Прием каждого бита кода конфигурации происходит по положительному фронту сигнала CK. После загрузки последнего (младшего) разряда по положительному фронту сигнала SS происходит фиксация кода конфигурации в регистре конфигурации.

ЗАГРУЗКА КОЭФФИЦИЕНТОВ

Коэффициенты C(k) представлены 12-разрядным дополнительным кодом.

Цифровой фильтр обеспечивает два режима загрузки коэффициентов:

- в параллельном коде;
- в последовательном коде.

Загрузка коэффициентов в параллельном коде производится с использованием входной шины BDK под управлением сигналов CK и CK1.

Загрузка коэффициентов в последовательном коде осуществляется по входу DK старшими разрядами вперед. Прием каждого бита коэффициентов происходит по переднему фронту сигнала CK при наличии нулевого значения сигнала на входе RC. Для загрузки 16 коэффициентов требуется 192 импульса CK.

После загрузки коэффициентов во входной буфер, по сигналу CKV происходит их пересылка в регистры рабочего буфера. Далее загрузка нового массива коэффициентов может осуществляться независимо от процесса вычислений.

ЗАГРУЗКА ВХОДНЫХ ДАННЫХ

Входные данные X(k) представлены 12-разрядным дополнительным кодом.

Входные данные загружаются по шине DX под управлением сигнала CLK при наличии единичного значения сигнала CX.

Возможны два режима загрузки:

- в параллельном коде;
- в последовательном коде.

При загрузке в параллельном коде отсчеты входных данных подаются на шину DX последовательно друг за другом. При этом используются двенадцать младших разрядов шины DX[12:1].

Порядок загрузки входных данных в последовательном коде определяется реализуемой операцией.

При вычислении скалярного произведения (выражение (1)) 16 отсчетов входных данных подаются на шину DX одновременно младшими разрядами вперед.

При вычислении операций свертки (выражения (2), (3)) отсчеты входных данных подаются последовательно друг за другом младшими разрядами вперед.

В этом случае при реализации операции (2) используется вход DX(1), а при реализации операции (3) – входы DX(1) и DX(2) (для первого и второго потоков данных соответственно).

ВЫДАЧА РЕЗУЛЬТАТОВ

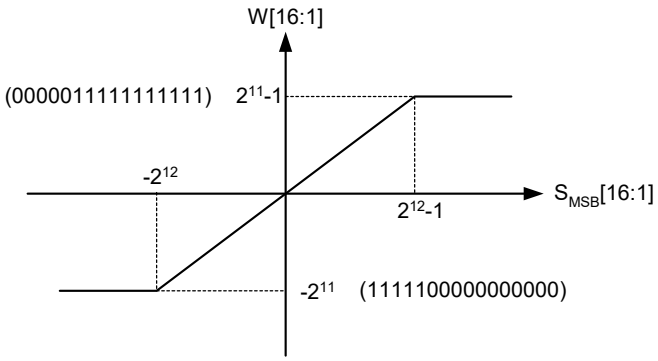
Результат вычислений S представлен 27-разрядным дополнительным кодом.

Результат делится на две части: старшую часть S_{MSB} (16 старших разрядов) и младшую часть S_{LSB} (11 младших разрядов).

На шину W выдается старшая часть результата S_{MSB}.

Она может быть промасштабирована с коэффициентами 2, 4 и 8. При этом выполняется сдвиг соответственно на 1, 2 или 3 разряда вправо, а освободившиеся разряды заполняются старшим (знаковым) разрядом.

Кроме того, дополнительно может быть выполнено масштабирование с ограничением в соответствии с рисунком.



При этом на шину W будет выдаваться число:

$$W = \begin{cases} [(S_{MSB}+1)/2], & \text{если } 2^{-12} < S_{MSB} < 2^{12}-1; \\ 2^{-11}, & \text{если } S_{MSB} \le 2^{-12}; \\ 2^{11}-1, & \text{если } S_{MSB} \ge 2^{12}-1; \end{cases}$$

где S_{MSB} – старшая часть результата.

На шину P выдается младшая часть результата S_{LSB} (биты 11:1) и знак (биты 16:12).

При выдаче результатов вычислений в последовательном коде на выход WYXSD поступают 11 младших разрядов кода, выдаваемого на выход W, и знаковый разряд результата, т.е. разряды W[16,11:1].

Выдача результата в последовательном коде выполняется младшими разрядами вперед.

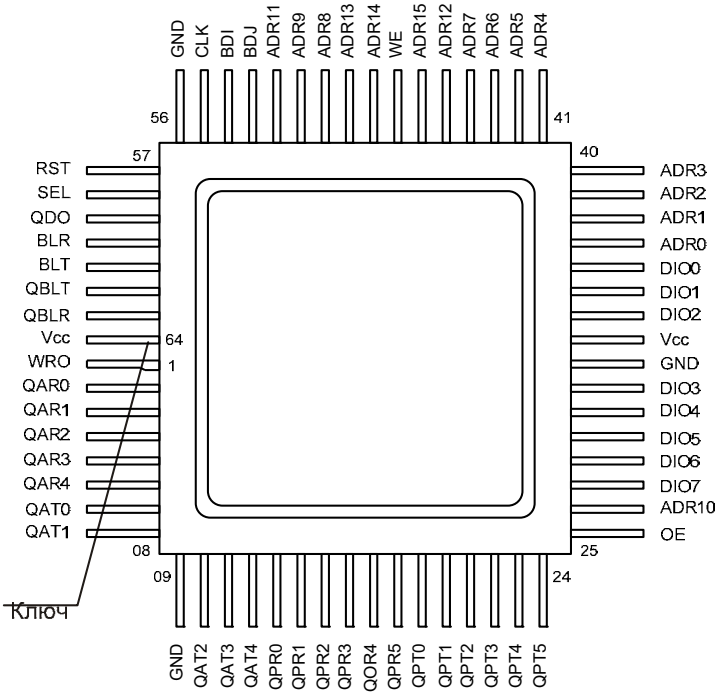
ЦИФРОВОЙ ФОРМИРОВАТЕЛЬ ФАЗ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для использования в качестве устройства управления в приемо-передающих модулях (ППМ) активных фазированных антенных решеток (АФАР).

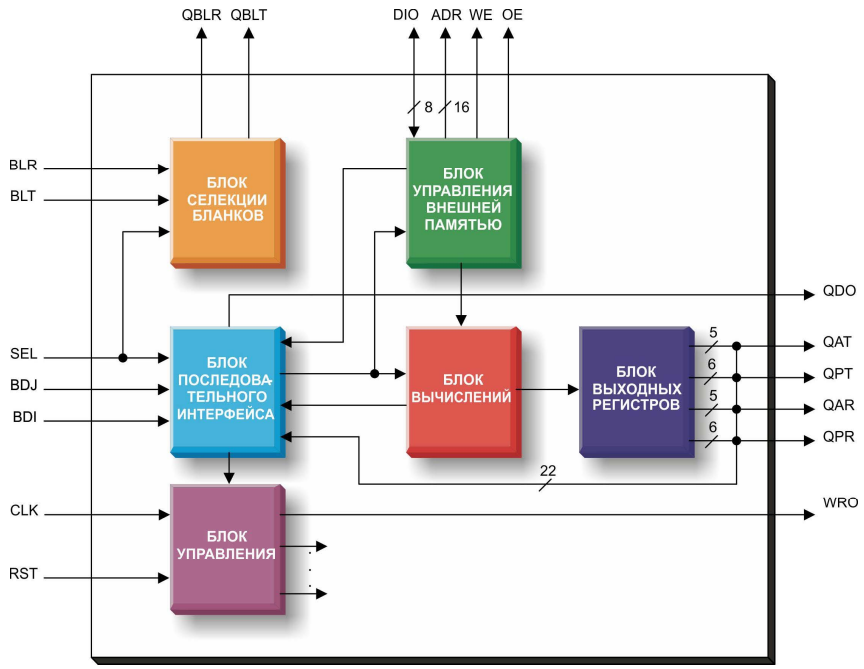
Разрядность кода управления фазовращателями, бит….6
Разрядность кода управления аттенюаторами, бит……5
Разрядность адреса внешней памяти, бит……16
Напряжение питания, В……+5±10%
Температурный диапазон, °С……от -60 до +125
Тип корпуса……H18.64-1B

НАЗНАЧЕНИЕ ВЫВОДОВ



Обозначение	Назначение
BDI	Вход данных в последовательном коде
BDJ	Вход данных в последовательном коде
CLK	Вход сигнала синхронизации
RST	Вход сигнала начальной установки
SEL	Вход сигнала выбора микросхемы
BLT	Вход бланка передатчика
BLR	Вход бланка приемника
DIO	Двунаправленная шина данных внешней памяти
QPT	Выходная шина кода управления фазовращателем передатчика
QPR	Выходная шина кода управления фазовращателем приемника
QAT	Выходная шина кода управления аттенюатором передатчика
QAR	Выходная шина кода управления аттенюатором приемника
QBLT	Выход бланка передатчика
QBLR	Выход бланка приемника
WRO	Выход сигнала записи кодов управления во внешние устройства
QDO	Выход данных в последовательном коде
ADR	Выходная шина адреса внешней памяти
WE	Выход сигнала разрешения записи информации во внешнюю память
OE	Выход сигнала разрешения выдачи информации из внешней памяти
Vcc	Вывод питания от источника напряжения
GND	Общий вывод

СТРУКТУРНАЯ СХЕМА



ОБЩАЯ ХАРАКТЕРИСТИКА МИКРОСХЕМЫ

Микросхема обеспечивает:

- прием и выполнение команд управления;
- чтение информации из внешней памяти;
- перепрограммирование внешней памяти;
- формирование и выдачу кодов управления фазовращателями и аттенюаторами для передатчика PT, AT и приемника PR, AR ППМ;
- выдачу бланков передатчика BLT и приемника BLR ППМ на входы соответствующих устройств;
- формирование и выдачу контрольной информации.

АЛГОРИТМ ВЫЧИСЛЕНИЙ

Вычисление кодов управления фазовращателями и аттенюаторами для передатчика и приемника ППМ осуществляются в соответствии с выражениями:

$$PT = F_{PT}(\varphi_{PT}, N_Л, N_P); \quad (1)$$

$$PR = F_{PR}(\varphi_{PR}, N_Л, N_P); \quad (2)$$

$$AT = F_{AT}(N_Л, N_{AP}); \quad (3)$$

$$AR = F_{AR}(N_Л, N_{AP}); \quad (4)$$

где

φ_{PT}, φ_{PR} – расчетные фазовые смещения для передатчика и приемника ППМ;

F_{PT}, F_{PR} – функции коррекции для передатчика и приемника ППМ;

$N_Л$ – номер частотной литеры;

N_P – номер режима;

N_{AP} – номер амплитудного распределения.

Величины φ_{PT} и φ_{PR} вычисляются в соответствии с выражениями:

$$\varphi_{PT} = m \cdot \Delta\varphi_i^0 + n \cdot \Delta\varphi_i^0 + \delta_T(N_Л, N_P); \quad (5)$$

$$\varphi_{PR} = m \cdot \Delta\varphi_i^k + n \cdot \Delta\varphi_i^k + \delta_R(N_Л, N_P); \quad (6)$$

где

$\Delta\varphi_i^k, \Delta\varphi_j^k$ – межэлементные фазовые набеги по строкам и столбцам АФАР;

$k \in \{0;3\}$ – номер подрешетки АФАР:

$\Delta\varphi_i^0, \Delta\varphi_j^0$ – для основной решетки;

$\Delta\varphi_i^1, \Delta\varphi_j^1$ – для первой подрешетки;

$\Delta\varphi_i^2, \Delta\varphi_j^2$ – для второй подрешетки;

$\Delta\varphi_i^3, \Delta\varphi_j^3$ – для третьей подрешетки;

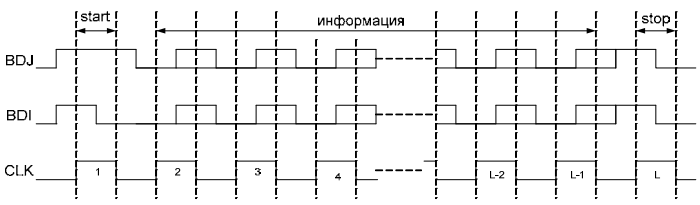
m, n – номер строки и столбца ППМ в АФАР;

δ_T, δ_R – поправки фазоамплитудной подстройки для передатчика и приемника ППМ.

Из выражений (5) и (6) видно, что каждый ППМ при работе на передачу входит в состав только основной решетки, а при работе на прием может входить в состав как основной решетки, так и одной из трех подрешеток в зависимости от режима работы N_P.

Функции F_{PT}, F_{RT}, F_{AT}, F_{AR}, δT, δR (выражения 1 – 6) реализуются табличным способом. Значения функций рассчитываются заранее и хранятся во внешней памяти.

СТРУКТУРА ИНФОРМАЦИОННЫХ СЛОВ BDJ, BDI



Для обеспечения помехоустойчивости информационные разряды слов простробированны таким образом, что фронту любого импульса синхронизации CLK соответствует состояние «0» на входах BDJ, BDI, а спаду – середина передаваемого разряда информации.

Прием информации осуществляется только в промежутке между распознанными фрагментами «start» и «stop». информационных слов.

Распознавание фрагмента «start» производится при последовательном поступлении на входы микросхемы комбинаций BDJ=1, BDI=1 по фронту импульса синхронизации и BDJ=1, BDI=0 по его спаду.

Распознавание фрагмента «stop» производится при последовательном поступлении на входы микросхемы комбинаций BDJ=1, BDI=1 по фронту импульса синхронизации и BDJ=0, BDI=0 по его спаду.

СИСТЕМА КОМАНД

Структура команд в общем виде:



Наименование	Мнемоника	Атрибуты	Длина L, бит	КОП
Расчет фаз	CP	$N_Л$, N_P, N_{AP}, $\Delta\varphi_i^0, \Delta\varphi_j^0$, $\Delta\varphi_i^1, \Delta\varphi_j^1$, $\Delta\varphi_i^2, \Delta\varphi_j^2$, $\Delta\varphi_i^3, \Delta\varphi_j^3$	78	E1
Перефазирование	RP	–	6	D2
Перефазирование с инверсией	RPI	–	6	C3
Запись данных	LDB	A_{WR}, Di	14+4N	96
Чтение данных	RDB	A_{RD}	14+4N	82
Запись контрольного слова	LDR	PR, AR, PT, AT	22	69
Чтение контрольного слова	CC	–	29	78
Диагностический контроль	DM	W1, W2	14	5A

Команда CP. Выполняется расчет кодов управления фазовращателями и аттенюаторами в соответствии с выражениями 1 – 6. Результаты записываются в блок выходных регистров.

Команда RP. На выходе WRO формируется отрицательный импульс, по которому данные с выходов QAR, QPR, QAT и QPT переписываются во внутренние регистры фазовращателей и аттенюаторов.

Команда RPI. Аналогична команде RP. При этом инвертируется старший разряд регистра фазовращателя приемника.

Команда LDB. Выполняется запись данных Di во внешнюю память. A_{WR} – начальный адрес записи. N – количество записываемых слов.

Команда RDB. Выполняется чтение данных Di из внешней памяти. A_{RD} – начальный адрес чтения. N – количество считываемых слов. Считанные данные выдаются в последовательном коде на выход QDO.

Команда LDR. Выполняется запись передаваемых значений PR, AR, PT, AT в блок выходных регистров.

Команда CC. Выполняется выдача значений PR, AR, PT, AT из блока выходных регистров в последовательном коде на выход QDO.

Команда DM. Инициируется запуск контрольной задачи, тип которой определяется словами W1 и W2. Результат выполнения сравнивается с эталонным значением, рассчитанным заранее и хранящимся во внешней памяти. Результат сравнения выдается на выход QDO.

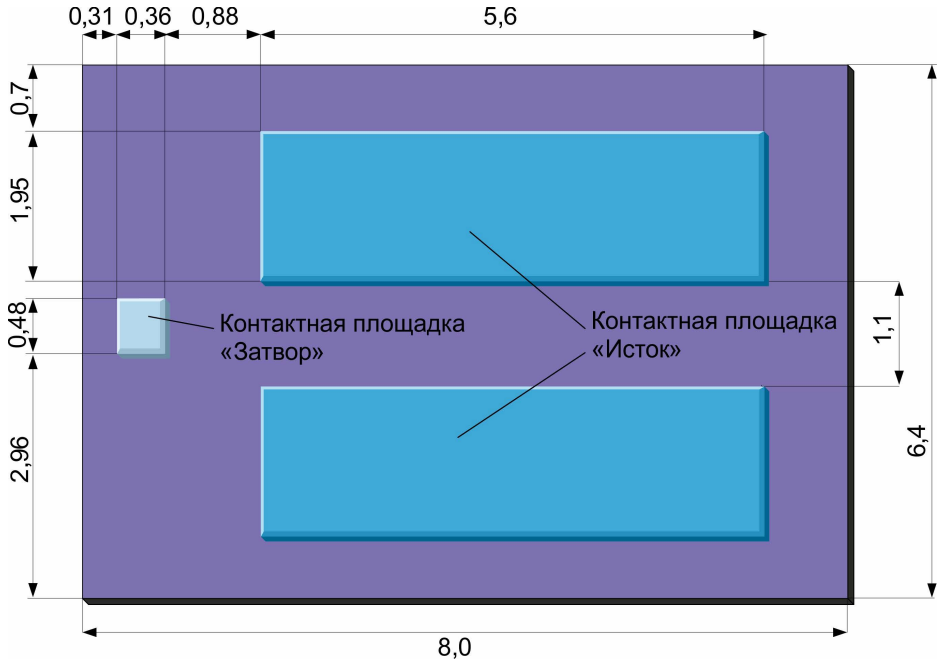
МОП ТРАНЗИСТОР С ИЗОЛИРОВАННЫМ ЗАТВОРОМ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Начальный ток стока $I_{С\ нач}$, мкА..... не более 0,4
Ток утечки затвора $I_{З\ ут}$, нА..... от -4,0 до 4,0
Пороговое напряжение $U_{ЗИ\ пор}$, В
$I_С$ = 1 мкА..... не менее 1,8
$I_С$ = 100 мкА..... от 2,0 до 5,0
Пробивное напряжение
сток-исток $U_{СИ\ проб}$, В.....не менее 460
Сопротивление сток-исток
в открытом состоянии $R_{СИ\ отк}$, Ом..... не более 0,14

Входная емкость C_{11}, пФ..... не более 6000
Выходная емкость C_{22}, пФ..... не более 700
Проходная емкость C_{12}, пФ..... не более 150
Температурный диапазон, °С.....от -60 до +125
Исполнение.....бескорпусное
Технологический процесс .....МОП

ПЛАН КРИСТАЛЛА



НАУЧНО-ТЕХНИЧЕСКИЙ ЦЕНТР
ДЭЛС

НОВЫЕ РАЗРАБОТКИ

КАТАЛОГ 2026

DON

ОФИЦИАЛЬНЫЙ ПРЕДСТАВИТЕЛЬ
НТЦ "ДЭЛС" В РОССИИ

СХЕМА УПРАВЛЕНИЯ ЭЛЕМЕНТАМИ ИНДИКАЦИИ ВОСЬМИРАЗРЯДНОГО БУКВЕННО-ЦИФРОВОГО МАТРИЧНОГО ИНДИКАТОРА – АНАЛОГА HDSP-2133

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Выходное напряжение низкого уровня
на выходах ROW ($I_{OL\ ROW}$ = 20 мА), В.....не более 0,4
Выходное напряжение высокого уровня
на выходах COL ($I_{OH\ COL}$ = -2 мА), В.....не менее 4,3
Выходное напряжение низкого уровня
на шине D ($I_{OL\ D}$ = 12 мА), В.....не более 0,4
Выходное напряжение высокого уровня
на шине D ($I_{OH\ D}$ = -12 мА), В.....не менее 4,3
Напряжение питания, В .....+5±10%
Температурный диапазон, °С.....от -60 до +125
Исполнение.....бескорпусное
Технологический процесс .....КМОП

Микросхема предназначена для управления элементами индикации матричного индикатора, содержащего восемь светодиодных матриц (дисплеев) размером 5×7 точек (аналог HDSP-2133).

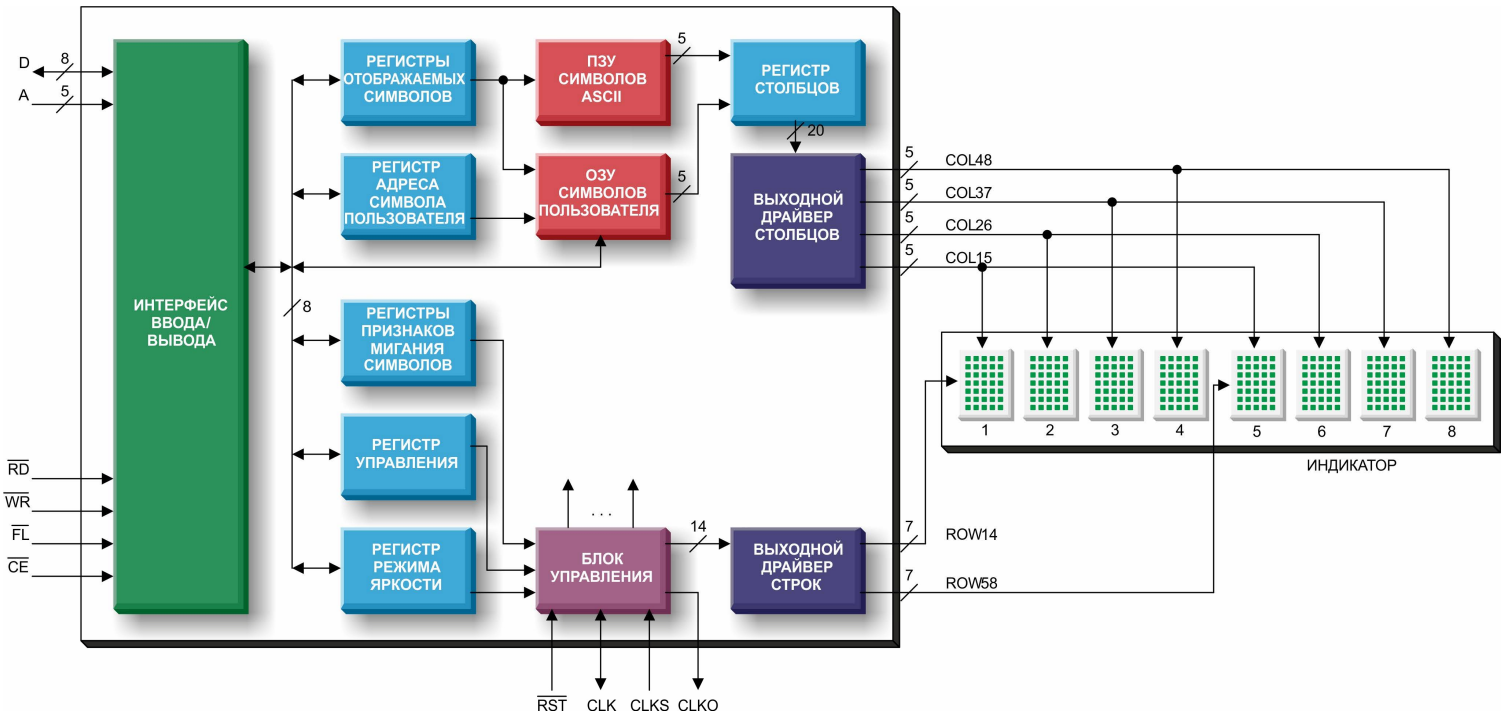
Микросхема обеспечивает:

- обмен данными с внешними устройствами по восьмиразрядной двунаправленной шине D;
- отображение символов из таблицы ASCII;
- отображение 16 символов, определяемых пользователем;
- возможность регулировки яркости индикатора;
- возможность мигания символов;
- самотестирование индикатора;
- программную очистку индикатора;
- аппаратный асинхронный сброс (начальную установку) при помощи сигнала RST.

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение контактных площадок
D	Двунаправленная шина данных
A	Шина адреса
CLK	Вход/выход синхросигнала
CLKS	Вход сигнала выбора типа синхросигнала (внутренний или внешний)
CLKO	Выход синхросигнала
$\overline{FL}$	Вход сигнала выбора регистра признаков мигания символов
$\overline{RD}$	Вход сигнала чтения
$\overline{WR}$	Вход сигнала записи
$\overline{CE}$	Вход сигнала выбора микросхемы
$\overline{RST}$	Вход сигнала сброса
TEST	Тестовый вход
ROW	Выходы управления строками индикатора
COL	Выходы управления столбцами индикатора

СТРУКТУРНАЯ СХЕМА



АНАЛОГОВЫЙ МУЛЬТИПЛЕКСОР (ФУНКЦИОНАЛЬНЫЙ АНАЛОГ AD8174)

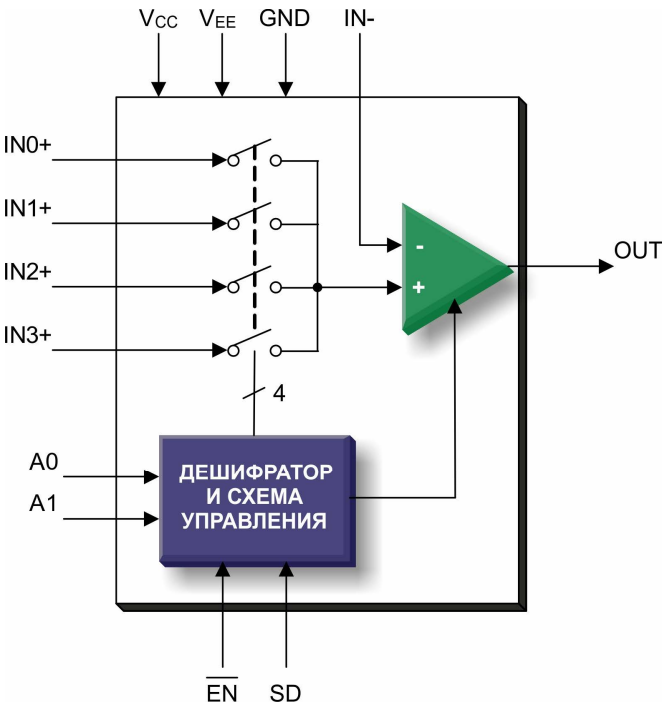
ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Максимальная частота входного сигнала, МГц.....70
Максимальная амплитуда
входного сигнала, В.....не более 1,2
Коэффициент подавления сигнала
между каналами, дБ.....не менее 65
Коэффициент подавления сигнала при отключении
выхода микросхемы, дБ.....не менее 65
Время переключения выхода при изменении
управляющих сигналов, нс.....не более 15
Время срабатывания при изменении управляющего
напряжения по входу EN, нс.....не более 60
Ток потребления, мА.....не более 65
Напряжение питания, В.....5,0±10%
Температурный диапазон, °С.....от -60 до +125
Тип корпуса.....H04.16-1B
Технологический процесс .....КМОП

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение выводов
IN0+	Вход сигнала нулевой прямой
IN1+	Вход сигнала первый прямой
IN2+	Вход сигнала второй прямой
IN3+	Вход сигнала третий прямой
IN-	Вход сигнала инверсный
A0	Вход адреса нулевой
A1	Вход адреса первый
EN	Вход сигнала управления «третьим» состояние выхода
SD	Вход сигнала выключения
OUT	Выход

СТРУКТУРНАЯ СХЕМА



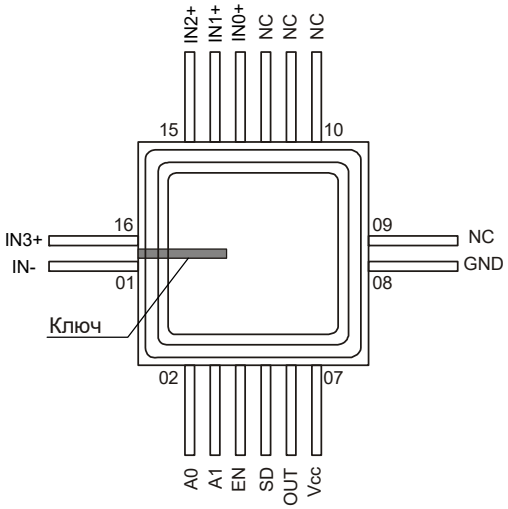


ТАБЛИЦА ФУНКЦИОНИРОВАНИЯ

A1	A0	EN	SD	OUT
0	0	0	0	IN0
0	1	0	0	IN1
1	0	0	0	IN2
1	1	0	0	IN3
X	X	1	0	Z
X	X	X	1	Z

X - произвольное значение сигнала (L или H).

ЦИФРОВОЙ АТТЕНЮАТОР (ФУНКЦИОНАЛЬНЫЙ АНАЛОГ HMC470LP3)

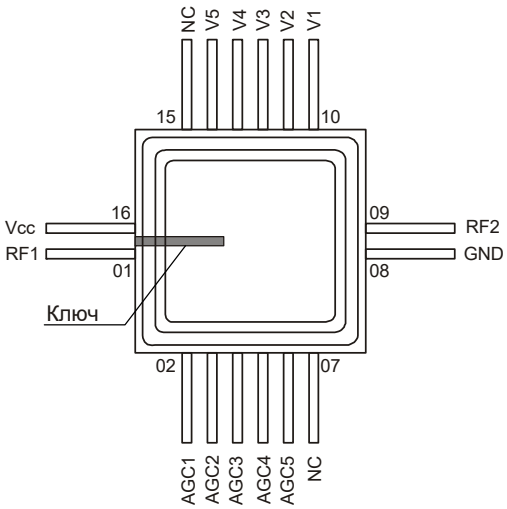
ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Диапазон регулировки амплитуды, дБ.....31
Мощность входного сигнала (P1dB), дБм.....17
Время переключения разряда, нс.....50
Максимальная входная частота, МГц.....100
Согласование с линией, Ом.....50
Общие потери, дБ.....4
Напряжение питания, В .....+5±10%
Температурный диапазон, °С.....от -60 до +85
Тип корпуса.....H04.16-1B
Технологический процесс .....КМОП

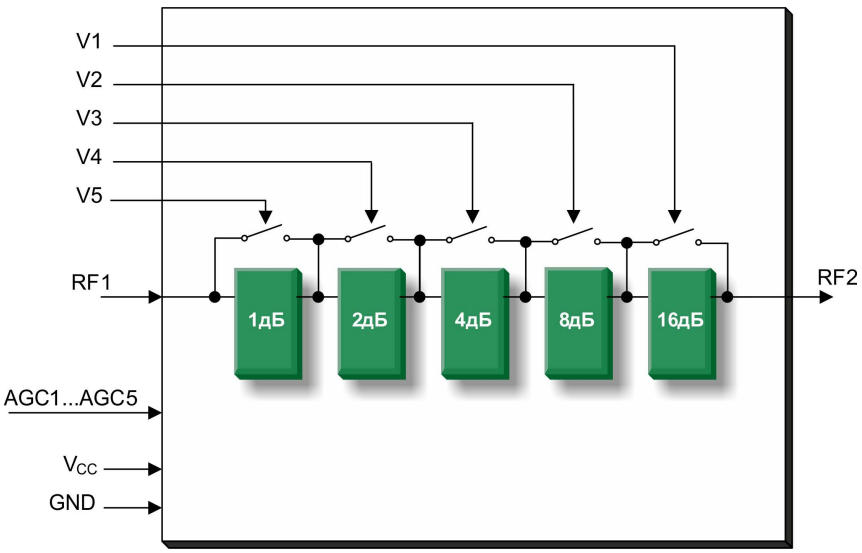
Микросхема предназначена для регулирования амплитуды сигналов и представляет собой 5-ти разрядный аттенюатор с минимальным шагом ослабления входного сигнала 1 дБ. Разряды аттенюатора: 1, 2, 4, 8, 16 дБ позволяют получить общий диапазон ослабления сигнала до 31 дБ. Переключение состояний аттенюатора осуществляется параллельным 5-ти разрядным кодом, подающимся на ТТЛ/КМОП управляющие входы V1...V5.

НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение контактных площадок
V1...V5	Входы сигналов управления разрядом аттенюатора
RF1	RF1 порт
RF2	RF2 порт
AGC1... AGC5	Входы для подключения внешних конденсаторов



СТРУКТУРНАЯ СХЕМА



АНАЛОГОВЫЙ КЛЮЧ
(ФУНКЦИОНАЛЬНЫЙ АНАЛОГ ADG901/902)

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

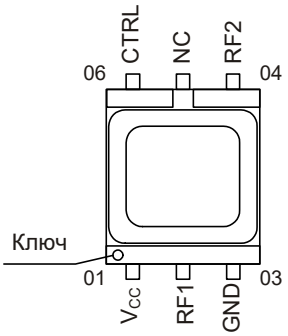
Максимальная входная частота (-3 дБ), МГц.....350
Мощность входного сигнала, дБм:
- при смещении 0 В.....7
- при смещении 0,5 В.....16

Согласование с линией, Ом.....50
Затухание (100 МГц), дБ.....0,7
Время на «включение» (t_{ON}), нс.....10
Время на «выключение» (t_{OFF}), нс.....15
Фронт нарастания сигнала (порт RF1, RF2)(t_{RISE}), нс.....10
Фронт спада сигнала (порт RF1, RF2)(t_{FALL}), нс.....15
Напряжение питания, В .....+5±10%
Температурный диапазон, °С.....от -60 до +125
Тип корпуса.....5221.6-1
Технологический процесс .....КМОП

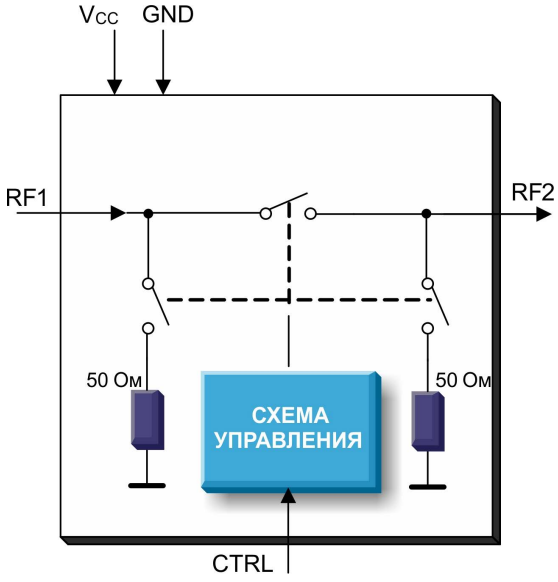
Микросхемы предназначены для управления передачей аналогового сигнала.

НАЗНАЧЕНИЕ ВЫВОДОВ

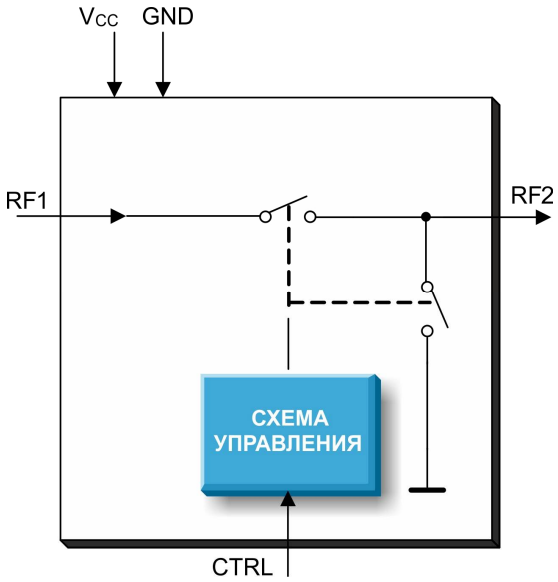
Обозначение	Назначение контактных площадок
RF1	Порт RF1
RF2	Порт RF2
CTRL	Логический вход управления



СТРУКТУРНАЯ СХЕМА (вариант «согласованный ключ»)



СТРУКТУРНАЯ СХЕМА (вариант «отражающий ключ»)



ЧАСТОТНО-ФАЗОВЫЙ ДЕТЕКТОР

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Максимальная частота входного сигнала, МГц…500 (200*)
Амплитуда входного сигнала, мВ……не менее 300
Тип входного сигнала……однофазный
Тип выходного сигнала……..…парафазный
Выходной ток, мА
выходы UP, NUP, DN, NDN….....1,0
выход CP.....1,0
Ток потребления, мА.....не более 120 (70*)
Напряжение питания, В ……..+5±10%
Температурный диапазон, °С……...от -60 до +125
Тип корпуса……..…..H04.16-1B
Технологический процесс .....биполярный

* Модификация со сниженным током потребления

Микросхема предназначена для измерения рассогласования фаз между сигналами генератора, управляемого напряжением (ГУН), и генератора опорной частоты и может быть использована для построения синтезаторов с петлей фазовой автоподстройки частоты (ФАПЧ).

Микросхема имеет два типа выходов:

- цифровые парафазные выходы: UP, NUP и DN, NDN;
- токовые выходы (Charge Pump): CP и NCP.

В случае, когда сигнал ГУН опережает по фазе сигнал опорной частоты на парафазных выходах UP и NUP формируются импульсы напряжения, а на выходе CP – импульсы положительного (вытекающего) тока, длительность которых пропорциональна величине рассогласования фаз.

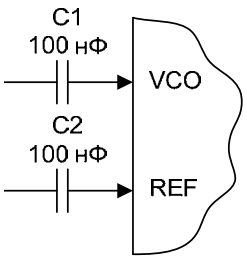
Если сигнал ГУН отстает по фазе от сигнала опорной частоты, импульсы напряжения будут сформированы на парафазных выходах DN и NDN, а на выходе CP – импульсы отрицательного (втекающего) тока.

Выход NCP формирует ток противоположного направления по отношению к выходу CP.

При равенстве фаз сигналов ГУН и опорной частоты сигналы рассогласования на цифровых парафазных выходах UP, NUP, DN, NDN и токовых выходах CP, NCP будут отсутствовать.

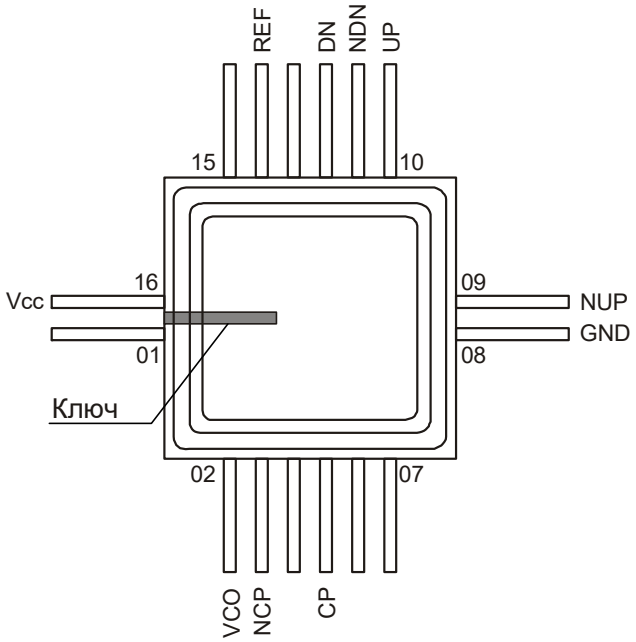
Выходные цифровые буферы выполнены по схеме с открытым коллектором.

СХЕМА ПОДКЛЮЧЕНИЯ ВХОДОВ

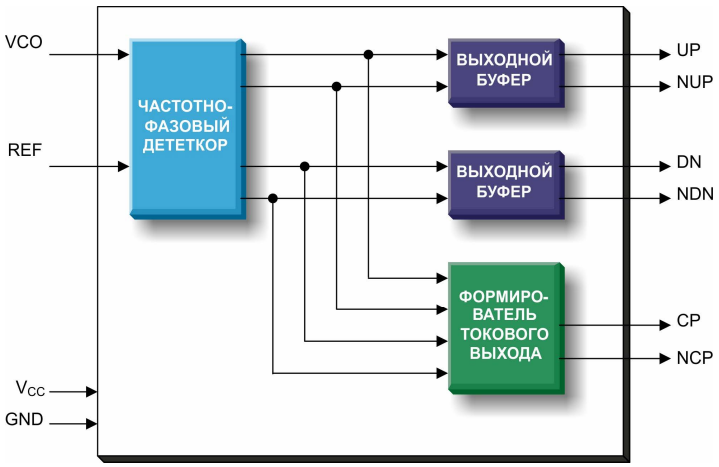


НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение выводов
VCO	Вход сигнала ГУН прямой
REF	Вход сигнала опорной частоты прямой
UP	Выход сигнала «вверх» прямой
NUP	Выход сигнала «вверх» инверсный
DN	Выход сигнала «вниз» прямой
NDN	Выход сигнала «вниз» инверсный
CP	Токовый выход
NCP	Токовый выход инверсный



СТРУКТУРНАЯ СХЕМА



ДЕЛИТЕЛИ ЧАСТОТЫ С КОЭФФИЦИЕНТОМ ДЕЛЕНИЯ ДВА

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхемы предназначены для деления частоты поступающего на их вход сигнала с коэффициентом деления два.

Имеется два варианта исполнения:

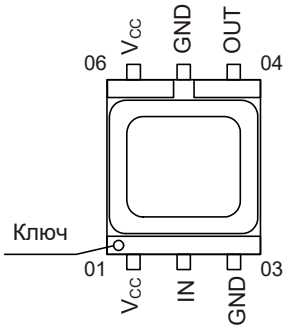
- без клапанирования;
- с клапанированием.

Максимальная частота входного сигнала, ГГц.....1,0
Амплитуда входного сигнала, мВ……не менее 300
Выходной сигнал:
без клапанирования.....цифровой с уровнями ТТЛ;
с клапанированием.....не менее 0 дБм;
Напряжение питания, В ……..+5±10%
Температурный диапазон, °С……..от -60 до +125
Тип корпуса…… ……..5221.6-1
Технологический процесс…….....КМОП

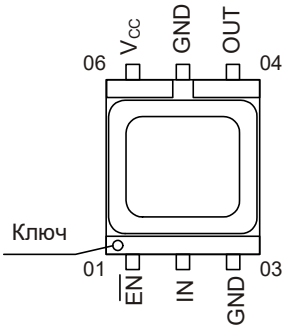
НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение выводов
IN	Вход сигнала
OUT	Выход сигнала
$\overline{EN}$	Вход сигнала управления

без клапанирования

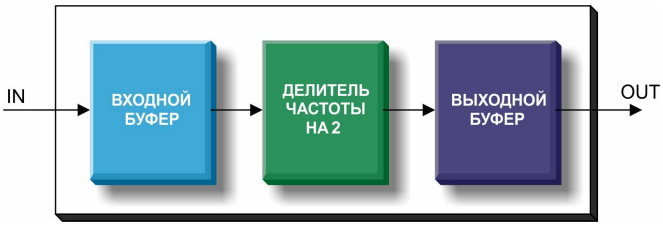


с клапанированием



СТРУКТУРНАЯ СХЕМА

без клапанирования



с клапанированием

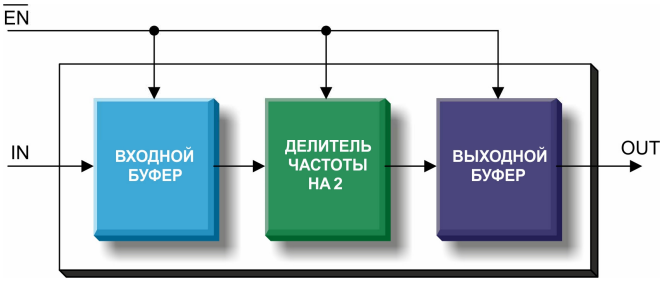
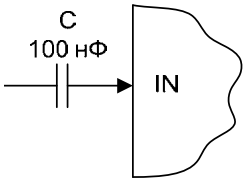


СХЕМА ПОДКЛЮЧЕНИЯ ВХОДА



ДЕЛИТЕЛИ ЧАСТОТЫ С КОЭФФИЦИЕНТОМ ДЕЛЕНИЯ ТРИ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхемы предназначены для деления частоты поступающего на их вход сигнала с коэффициентом деления три.

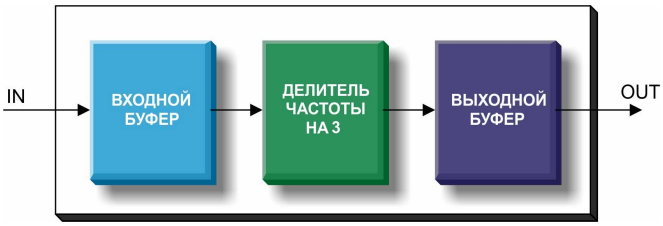
Имеется два варианта исполнения:

- без клапанирования;
- с клапанированием.

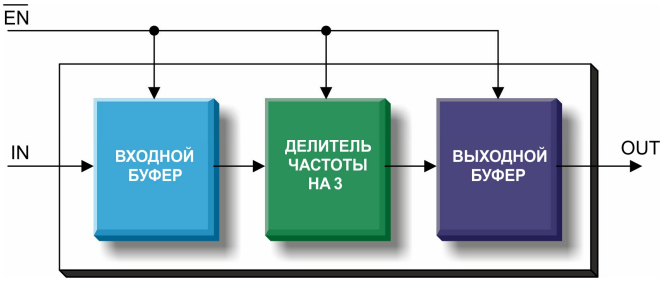
Максимальная частота входного сигнала, ГГц.....0,5
Амплитуда входного сигнала, мВ……не менее 300
Выходной сигнал:
без клапанирования.....цифровой с уровнями ТТЛ;
с клапанированием.....не менее 0 дБм;
Напряжение питания, В ……..+5±10%
Температурный диапазон, °С……..от -60 до +125
Тип корпуса…… ……..5221.6-1
Технологический процесс…….....КМОП

СТРУКТУРНАЯ СХЕМА

без клапанирования



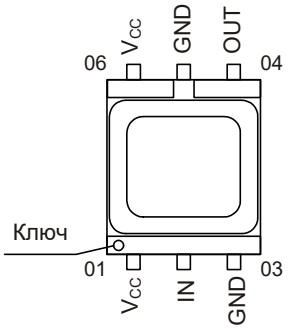
с клапанированием



НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение выводов
IN	Вход сигнала
OUT	Выход сигнала
$\overline{EN}$	Вход сигнала управления

без клапанирования



с клапанированием

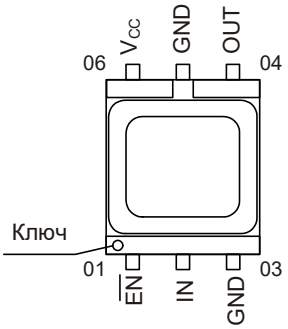
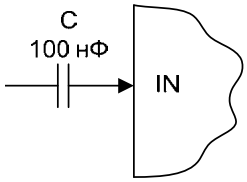


СХЕМА ПОДКЛЮЧЕНИЯ ВХОДА



ДЕЛИТЕЛИ ЧАСТОТЫ С КОЭФФИЦИЕНТОМ ДЕЛЕНИЯ ПЯТЬ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхемы предназначены для деления частоты поступающего на их вход сигнала с коэффициентом деления пять.

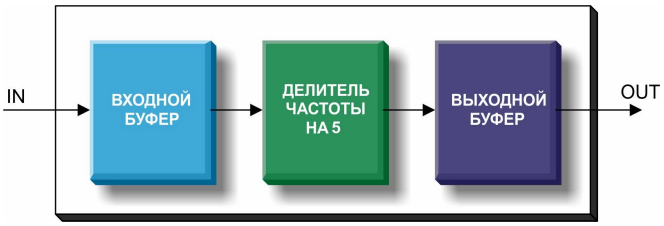
Имеется два варианта исполнения:

- без клапанирования;
- с клапанированием.

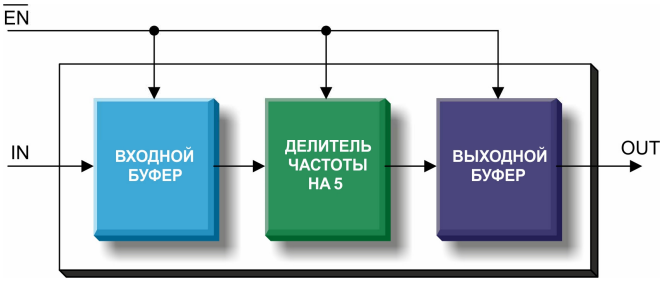
Максимальная частота входного сигнала, ГГц.....0,5
Амплитуда входного сигнала, мВ……не менее 300
Выходной сигнал:
без клапанирования.....цифровой с уровнями ТТЛ;
с клапанированием.....не менее 0 дБм;
Напряжение питания, В ……..+5±10%
Температурный диапазон, °С……..от -60 до +125
Тип корпуса…… ……..5221.6-1
Технологический процесс…….....КМОП

СТРУКТУРНАЯ СХЕМА

без клапанирования



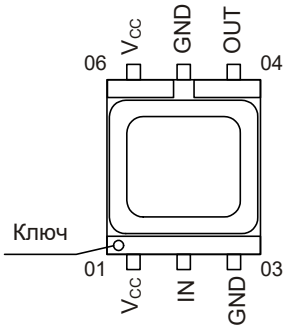
с клапанированием



НАЗНАЧЕНИЕ ВЫВОДОВ

Обозначение	Назначение выводов
IN	Вход сигнала
OUT	Выход сигнала
$\overline{EN}$	Вход сигнала управления

без клапанирования



с клапанированием

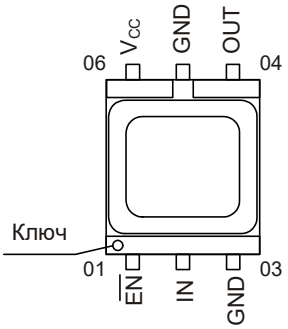
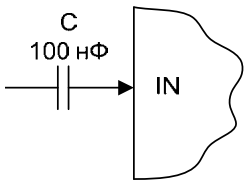


СХЕМА ПОДКЛЮЧЕНИЯ ВХОДА



ДЕЛИТЕЛЬ ЧАСТОТЫ С ПРОГРАММИРУЕМЫМ КОЭФФИЦИЕНТОМ ДЕЛЕНИЯ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхема предназначена для деления частоты поступающего на ее вход сигнала с программируемым коэффициентом деления.

Максимальная частота входного сигнала, МГц……..500
Тип входного сигнала……парафазный
Тип выходного сигнала……..…парафазный
Амплитуда входного сигнала, мВ……не менее 100
Амплитуда выходного сигнала, мВ…….не менее 700
Коэффициенты деления……..от 1 до 512
Ток потребления (f_I = 500 МГц), мА……..180
Напряжение питания, В ……....+5±10%
Опорное напряжение, В……....Vcc - 4
Опорный ток, мкА……..…...700
Температурный диапазон, °С……...от -60 до +125
Тип корпуса……..…...H16.48-1B
Технологический процесс .....КМОП

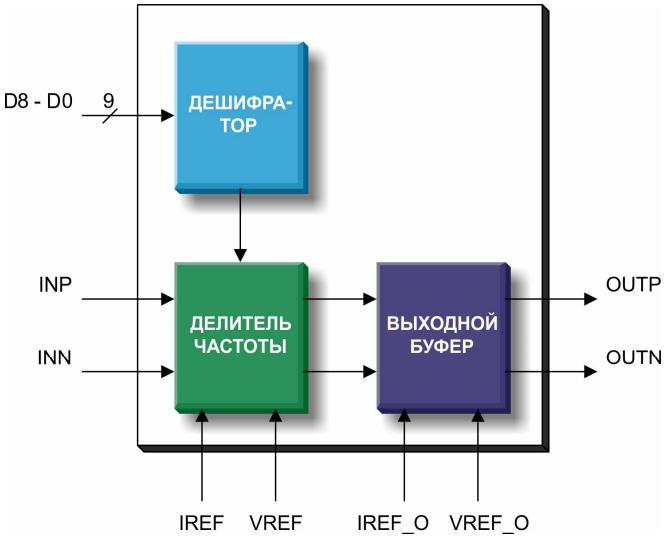
НАЗНАЧЕНИЕ ВЫВОДОВ

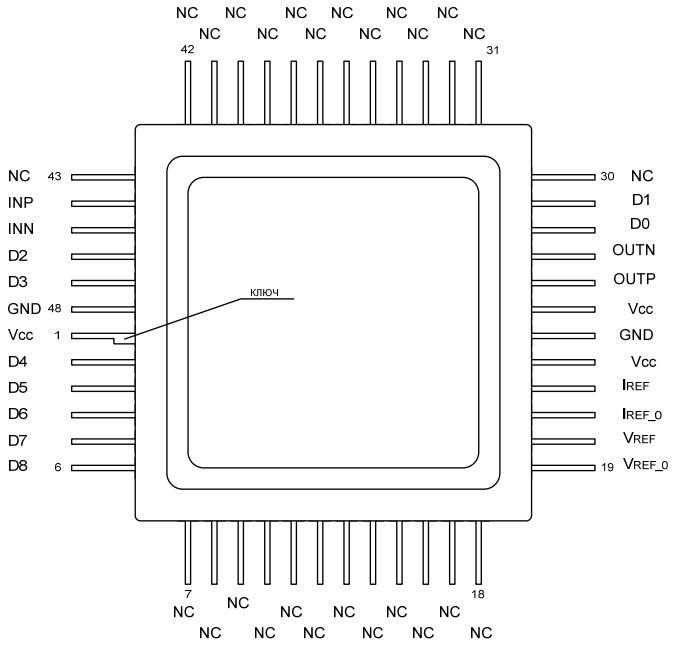
Обозначение	Назначение выводов
INP	Вход сигнала прямой
INN	Вход сигнала инверсный
D	Входная шина кода коэффициента деления
V_{REF}	Вход опорного напряжения
V_{REF_0}	Вход опорного напряжения
I_{REF}	Вход опорного тока
I_{REF_0}	Вход опорного тока
OUTP	Выход сигнала прямой
OUTN	Выход сигнала инверсный

Коэффициент деления микросхемы K задается девятиразрядным кодом D в соответствии с таблицей:

D	0	1	2	3	…	509	510	511
K	512	1	2	3	…	509	510	511

СТРУКТУРНАЯ СХЕМА





ПРЕОБРАЗОВАТЕЛИ ГАРМОНИЧЕСКОГО СИГНАЛА В УРОВНИ ТТЛ

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Микросхемы предназначены для преобразования гармонического сигнала в цифровой сигнал с уровнями ТТЛ.

Имеется два варианта исполнения:
- без клапанирования;
- с клапанированием.

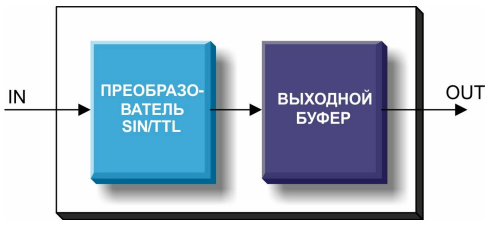
Максимальная частота входного сигнала, МГц.....500
Минимальная частота входного сигнала, МГц.....10
Амплитуда входного сигнала, мВ……не менее 300
Напряжение питания, В ……..+5±10%
Температурный диапазон, °С……...от -60 до +125
Тип корпуса…… ……..…....5221.6-1
Технологический процесс…….....КМОП

НАЗНАЧЕНИЕ ВЫВОДОВ

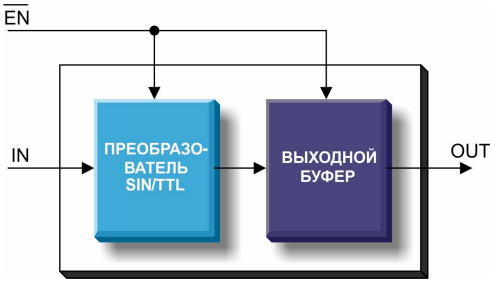
Обозначение	Назначение выводов
IN	Вход сигнала
OUT	Выход сигнала
$\overline{EN}$	Вход сигнала управления

СТРУКТУРНАЯ СХЕМА

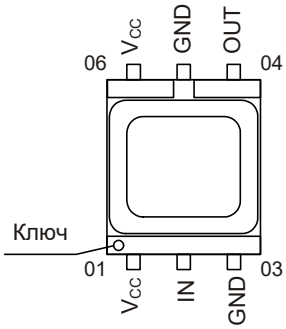
без клапанирования



с клапанированием



без клапанирования



с клапанированием

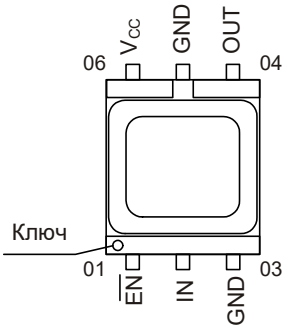
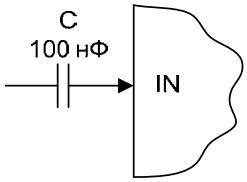


СХЕМА ПОДКЛЮЧЕНИЯ ВХОДА



НАУЧНО-ТЕХНИЧЕСКИЙ ЦЕНТР
ДЭЛС

ООО "Научно-технический центр "ДЭЛС"
220012, г. Минск, ул. Сурганова, 29, офис 7
Тел.: +375 17 360 28 33
Факс: +375 17 360 28 36
info@dels.by
www.dels.by

ООО "Дон"
127521, г. Москва, ул. Шереметьевская, 47
Тел./факс: +8 (495) 225 48 31
e-mail@don-com.ru, info@don-com.ru
www.don-com.ru

DON

ОФИЦИАЛЬНЫЙ ПРЕДСТАВИТЕЛЬ НТЦ "ДЭЛС" В РОССИИ